



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0012793  
Application Number

출 원 년 월 일 : 2003년 02월 28일  
Date of Application FEB 28, 2003

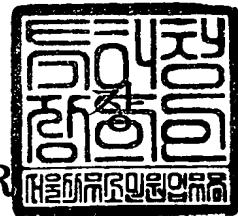
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 13 일

특 허 청

COMMISSIONER





1020030012793

출력 일자: 2003/10/17

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.28
【발명의 명칭】	리세스 채널을 갖는 반도체장치 및 그 제조방법
【발명의 영문명칭】	Semiconductor device having a recessed channel and method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	고영건
【성명의 영문표기】	KO, Young Gun
【주민등록번호】	710426-1064014
【우편번호】	463-923
【주소】	경기도 성남시 분당구 하탑동(탑마을) 경남아파트 704동 304호
【국적】	KR
【발명자】	
【성명의 국문표기】	오창봉
【성명의 영문표기】	OH, Chang Bong
【주민등록번호】	650420-1674813
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동(무지개마을) 신한아파트 303동 104호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 박영우 (인)

**【수수료】**

【기본출원료】	20	면	29,000	원
【가산출원료】	40	면	40,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	27	항	973,000	원
【합계】	1,042,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

식각에 의한 손상이 없고, 채널의 깊이를 미세하게 조정할 수 있는 쇼트 채널 효과를 감소시킬 수 있는 리세스된 채널을 갖는 반도체 장치 및 그 제조 방법이 개시되어 있다. 반도체 기판상에 액티브 패턴을 형성한 후, 상기 액티브 패턴상에, 상기 액티브 패턴의 게이트 형성 영역을 노출하는 게이트 개구부를 갖는 에피택시얼층을 형성한다. 상기 게이트 개구부를 매립하는 게이트 전극을 형성하고, 상기 게이트 전극의 양측에, 상기 반도체층에 불순물 영역을 형성하여 반도체 장치를 제조한다. 채널 영역을 상기 게이트 전극 저면부 뿐 아니라 양 측면까지 확장할 수 있어서, 게이트 전극의 길이에 비해 상기 MOS트랜지스터의 채널 길이가 더 길어진다. 따라서 상기 MOS트랜지스터의 쇼트 채널 효과를 감소시킬 수 있다.

**【대표도】**

도 1

**【명세서】****【발명의 명칭】**

리세스 채널을 갖는 반도체 장치 및 그 제조방법{Semiconductor device having a recessed channel and method of manufacturing the same}

**【도면의 간단한 설명】**

도 1은 본 발명의 실시예 1에 따른 MOS트랜지스터의 단면도이다.

도 2a 내지 2m은 도1에 도시한 본 발명의 실시예 1에 의한 MOS트랜지스터의 제조 방법을 나타내는 단면도들이다.

도 3은 본 발명의 실시예 2에 따른 MOS 트랜지스터의 단면도이다.

도 4a 내지 도 4e는 도 3에 도시한 본 발명의 실시예 2에 의한 MOS 트랜지스터의 제조 방법을 나타내는 단면도들이다.

도 5는 본 발명의 실시예 3에 따른 MOS 트랜지스터의 단면도이다.

도 6a 내지 도 6d는 본 발명의 실시예 4에 의한 MOS 트랜지스터의 제조 방법을 나타내는 단면도들이다.

도 7은 본 발명의 실시예 5에 따른 MOS 트랜지스터의 단면도이다.

도 8a 내지 도 8d는 도 7에 도시한 본 발명의 실시예 5에 의한 MOS 트랜지스터의 제조 방법을 나타내는 단면도들이다.

도 9는 본 발명의 실시예 6에 따른 MOS 트랜지스터의 단면도이다.

도 10a 내지 도 10d는 도 9에 도시한 본 발명의 실시예 6에 의한 MOS 트랜지스터의 제조 방법을 나타내는 단면도들이다.

도 11은 본 발명의 실시예 7에 따른 MOS 트랜지스터의 단면도이다.

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 리세스 채널을 갖는 모오스(MOS) 트랜지스터 반도체 장치 및 그 제조방법에 관한 것이다.

<13> 반도체 장치가 고집적화됨에 따라, MOS 트랜지스터의 게이트 길이는 매우 감소되고 있다. 상기 게이트 길이의 감소에 따라 상기 MOS 트랜지스터의 채널 길이 역시 줄어들게 되었다. MOS 트랜지스터의 채널 길이가 작아지면, 채널 영역에서의 전계나 전위에 미치는 소오스 및 드레인의 영향이 현저해지는데 이러한 현상을 쇼트-채널 효과(short channel effect)라 한다. 또한, 액티브 영역의 축소에 따라 채널의 폭도 감소하게 되어 문턱 전압(threshold voltage)이 증가하는 협채널 효과(narrow width effect)가 나타난다.

<14> 따라서, 기판 상에 형성되는 게이트 길이는 축소시키면서 MOS 트랜지스터의 특성을 향상시키기 위한 여러 가지 방법들이 연구 개발되고 있다.

<15> 일본 공개 특허 공보 제2002-100762호에는 쇼트 채널에 의한 전기적 특성의 열화를 방지하기 위한 MOS 트랜지스터 형성 방법이 개시되어 있다. 상기 일본 특허 공보에 개시된 방법에 의하면, 게이트 전극을 형성하기 이 전에 더미 게이트 전극을 형성하고, 상기 더미 게이트 전극을 이용하여 익스텐션 영역과 측벽 실리콘 질

화막 및 소오스/ 드레인 영역을 형성한다. 이어서, 상기 구조물 전체에 실리콘 산화막을 증착 한다. 상기 더미 게이트 전극을 식각하고 이어서 상기 게이트 전극 아래에 익스텐션 영역의 일부를 식각한다. 상기 식각된 부분에 실리콘 선택 에피택시얼 성장에 의한 에피택시얼막을 형성 한 후, 게이트 전극을 형성하여 게이트 전극을 완성한다.

<16> 상기 방법은 상기 게이트 전극 아래의 익스텐션 영역의 식각하여 소오스/ 드레인 영역을 다양한 형태로 변경할 수 있다. 따라서, MOS 트랜지스터의 문턱 전압의 조정이 용이하다. 그러나, 상기 공정에 의해 형성되는 MOS 트랜지스터는 채널 영역이 게이트 전극의 길이 이상으로 확장되지는 않기 때문에 쇼트 채널 효과를 방지하는 데는 한계가 있다.

<17> 또한, 미합중국 특허 제6,413,802호에는 평행한 복수개의 얇은 채널 편(fin)이 소오스/ 드레인 영역 사이에 제공되고 상기 채널의 상면 및 측면 상으로 게이트 전극이 확장되는 구조의 편형 MOS 트랜지스터가 개시되어 있다. 상기 편형 MOS 트랜지스터에 의하면, 채널 편의 양 측면 상에 게이트 전극이 형성되어 상기 양 측면으로부터 게이트 제어가 이루어짐으로써 쇼트-채 널 효과(short-channel effect)를 감소시킬 있다. 그러나, 편형 MOS 트랜지스터는 복수개의 채 널 편이 게이트의 폭 방향을 따라 평행하게 형성되기 때문에 채널 영역 및 소오스/드레인 영역 이 차지하는 면적이 커지게 되고, 채널 수가 늘어남에 따라 소오스/드레인 접합 캐패시턴스 (junction capacitance)가 증가하는 문제가 있다.

<18> 상술한 방법이외에도 동일한 게이트 패턴에서 채널길이를 증가시켜서 쇼트 채널특성을 향상시키는 방법이 제안되어 있다. 채널의 길이를 증가시키기 위해서는 게이트 하부의 채널 영 역을 건식 식각하는 방법이 알려져 있다. 예를 들면, 대한민국 특허 제10-0344733호에는 에칭 방법에 의해 트렌치를 형성하고, 상기 트렌치의 저면상에 게이트 전극을 형성시키고, 상기 트

렌치의 상부주변에 소오스 및 드레인 영역을 형성시켜 트랜지스터를 형성하는 방법이 개시되어 있다.

<19> 상술한 방법에 의하면, 식각에 의해 기판에 손상(damage)이 가해지고, 식각량이 많게 되어 채널이 불필요하게 길어져서 트랜지스터 특성 자체의 저하가 문제로 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<20> 따라서, 본 발명의 제1 목적은 채널의 깊이를 미세하게 조정할 수 있는 쇼트 채널 효과를 감소시킬 수 있는 리세스된 채널을 갖는 반도체 장치를 제공하는데 있다.

<21> 본 발명의 제2 목적은 상기 반도체 장치를 제조하는 데 적합한 반도체 장치의 제조방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

<22> 상기한 제1 목적을 달성하기 위하여 본 발명에 따른 반도체 장치는 반도체 기판상에 형성된 액티브 패턴을 구비한다. 상기 액티브 패턴상에 게이트 전극이 형성되어 있고, 상기 게이트 전극의 양측에 상기 게이트 전극에 인접하여 에피택시얼층이 형성되어 있다. 상기 게이트 전극의 양측에, 상기 에피택시얼층에 불순물 영역이 형성되어 있다.

<23> 본 발명의 일 측면에 의하면, 반도체 기판상에 형성된 액티브 패턴;

<24> 상기 액티브 패턴상에 형성된 게이트 전극;

<25> 상기 게이트 전극의 양측에 상기 게이트 전극에 인접하여 형성되고, 상기 게이트 전극의 상부가 돌출되도록 상기 게이트 전극의 높이보다 낮은 높이를 갖고 형성된 에피택시얼층;

<26> 상기 게이트 전극의 돌출된 상부의 측면에, 그리고 상기 에피택시얼층상에 형성된 스페이서; 및

<27> 상기 게이트 전극의 양측에, 상기 에피택시얼층에 형성되어 있는 불순물 영역을 포함하는 반도체 장치가 제공된다.

<28> 본 발명의 다른 측면에 의하면, 반도체 기판상에 형성된 액티브 패턴;

<29> 상기 액티브 패턴상에 형성된 게이트 전극;

<30> 상기 게이트 전극상에 형성되어 있는 게이트 실리사이드층;

<31> 상기 게이트 전극의 양측에 상기 게이트 전극에 인접하여 형성되고, 상기 게이트 전극의 상부가 돌출되도록 상기 게이트 전극의 높이보다 낮은 높이를 갖고 형성된 에피택시얼층;

<32> 제1항에 있어서, 상기 게이트 전극의 하부 및 상기 에피택시얼층과 접하는 측면부위상에 형성된 게이트 절연막;

<33> 상기 게이트 전극의 돌출된 상부의 측면에, 그리고 상기 에피택시얼층상에 형성된 스페이서;

<34> 상기 에피택시얼층상에 상기 스페이서가 형성된 영역이외를 커버하는 금속 실리사이드층; 및

<35> 상기 게이트 전극의 양측에, 상기 게이트 전극에 인접하여 형성되어 있고, 상기 에피택시얼층의 상부에 형성되어 있는 LDD 영역 및 상기 LDD 영역에 인접하여 상기 에피택시얼층으로부터 상기 기판의 상부에 까지 연장되어 있는 HDD 영역을 포함하는 것을 특징으로 하는 반도체 장치를 제공한다.

<36> 상기한 제2 목적을 달성하기 위하여 본 발명에 따른 반도체 장치의 제조 방법에 의하면, 채널 영역을 형성하기 위한 액티브 패턴을 제공한다. 다음에, 상기 액티브 패턴층상에, 상기 액티브 패턴의 게이트 형성 영역을 노출하는 게이트 개구부를 갖는 반도체층을 형성하고, 상기

게이트 개구부를 매립하는 게이트 전극을 형성한다. 상기 게이트 전극의 양측에, 상기 반도체 층에 소오스/드레인 영역인 불순물 영역을 형성하여 반도체 장치를 제조한다.

<37> 본 발명에 의하면, 상기 MOS 트랜지스터는 채널 영역을 상기 게이트 전극 저면부 뿐 아니라 양 측면 하부 영역까지 확장할 수 있다. 그 결과, 상기 게이트 전극의 길이에 비해 상기 MOS트랜지스터의 채널 길이가 더 길어진다. 따라서, 상기 MOS트랜지스터의 쇼트 채널 효과를 감소시킬 수 있다.

<38> 또한, 상기 MOS트랜지스터에서 채널 확장 영역은 선택적 에피택시얼 성장법에 의해 형성한 에피택시얼층에 형성할 수 있다. 상기 채널 확장 영역이 형성되는 에피택시얼층의 두께를 조절하여 상기 채널 영역의 길이를 미세 조정할 수 있다.

<39> 이하, 본 발명을 상세하게 설명한다.

<40> 먼저, 본 발명의 반도체 장치인 MOS 트랜지스터에 대하여 설명한다.

<41> 트렌치 소자 분리 영역이 정의된 반도체 기판에 MOS트랜지스터가 형성된다. 상기 반도체 기판은 실리콘(Si), 실리콘 게르마늄(SiGe), 실리콘-온-인슐레이터(SOI) 또는 실리콘 게르마늄-온-인슐레이터(SGOI)로 이루어진다. 또한 상기 반도체 기판은 상부에 스트레인드(strained) 에피택시얼층이 형성된 스트레인드 실리콘 기판일 수도 있다.

<42> 상기 반도체 기판상에 트렌치 소자 분리 영역에 의해 한정된 액티브 패턴이 형성되어 있다. 상기 액티브 패턴에는 웨л 영역 또는 채널 영역을 형성하기 위한 불순물이 주입되어 있다. 상기 액티브 패턴상에는 게이트 전극이 형성되어 있다. 상기 게이트 전극은 폴리실리콘으로 이루어지거나, 실리콘 및 게르마늄을 포함하는 복합층으로 이루어질 수 있다. 또한, 상기 게이트

전극은 폴리실리콘 패턴과 상기 폴리실리콘 패턴상에 금속 실리사이드 패턴이 형성된 폴리사이드 구조를 가질 수 있다.

<43> 상기 게이트 전극의 양측에는 상기 게이트 전극에 인접하여 에피택시얼층이 형성되어 있다. 상기 에피택시얼층은 상기 게이트 전극의 높이보다 낮은 높이를 갖도록 형성된다. 따라서, 상기 게이트 전극은 상기 에피택시얼층 위로 돌출되는 돌출부를 갖는다.

<44> 상기 에피택시얼층위로 돌출된 게이트 전극의 돌출부의 양측벽에는 스페이서가 구비된다. 상기 스페이서는 실리콘 질화물 또는 실리콘 산화물로 구성되거나, 실리콘 산화물층 및 상기 실리콘 산화물층을 커버하는 실리콘 질화물층으로 이루어진 복합층으로 이루어질 수 있다.

<45> 상기 게이트 전극의 하부 및 상기 에피택시얼층과 접하는 측면부위상에 형성된 게이트 절연막이 형성되어 있다. 상기 게이트 절연막은 실리콘 산화막, 고유전율을 갖는 금속 산화막, 또는 SiON계열의 막으로 이루어진다. 상기 고유전율을 갖는 금속 산화막의 예로서는  $Ta_2O_5$ 막,  $TiO_2$ 막,  $Al_2O_3$ 막,  $Y_2O_3$ 막,  $ZrO_2$ 막,  $HfO_2$ 막,  $BaTiO_3$ 막,  $SrTiO_3$ 막 또는 이들의 복합막등을 들 수 있다.

<46> 상기 게이트 전극의 양측의 상기 에피택시얼층에는 불순물 영역인 소오스 및 드레인 영역이 구비된다. 상기 소오스 및 드레인 영역은 LDD 구조를 갖도록 형성하는 것이 바람직하다. 본 발명의 일 실시예에 의하면, 상기 불순물 영역은 상기 에피택시얼층의 상부에 형성되어 있다. 이러한 경우에는 불순물의 영역의 깊이가 상기 에피택시얼층의 두께보다 작도록 형성된다.

<47> 본 발명의 다른 실시예에 의하면, 상기 불순물 영역은 상기 에피택시얼층에 접하는 상기 기판의 상부에 연장되어 형성되어 된다. 즉, 불순물의 영역의 깊이가 상기 에피택시얼층의 두께보다 크도록 형성된다.

<48> 가장 바람직한 실시예에 의하면, 상기 불순물 영역은 상기 게이트 전극에 인접하여 형성되어 있고, 상기 에피택시얼층의 상부에 형성되어 있는 (불순물의 영역의 깊이가 상기 에피택시얼층의 두께보다 작음) 비교적 저농도의 불순물 영역인 LDD 영역 및 상기 LDD 영역에 인접하여 상기 에피택시얼층으로부터 상기 기판의 상부에 까지 연장되어 있는 비교적 고농도의 불순물 영역 HDD 영역을 포함한다.

<49> 상기 반도체 장치의 캐리어의 이동을 향상시키기 위하여 상기 게이트 전극의 하부에, 또는 상기 게이트 전극의 하부 및 상기 게이트 전극과 상기 에피택시얼층이 접하는 상기 게이트 전극의 측면부위상에 연속하여 스트레인드 에피택시얼층이 형성될 수 있다.

<50> 본 발명의 또 다른 바람직한 실시예에 의하면, 상기 액티브 패턴은 상부에 상기 게이트 전극을 부분적으로 수용하는 트렌치(또는 요부)를 갖는다.

<51> 본 발명의 MOS 트랜지스터에 있어서는, 상기 게이트 전극의 양측으로 소오스 및 드레인 영역이 형성되어 있고, 상기 게이트 절연막이 상기 게이트 전극의 저면과 측면으로 연장되어 형성되어 있다. 때문에, 상기 트랜지스터의 채널 영역은 상기 게이트 전극의 저면 뿐 아니라 하부 측면까지 연장된다.

<52> 즉, 상기 MOS트랜지스터는 상기 게이트 전극의 길이보다 트랜지스터 채널의 길이가 더 길게 형성되므로 반도체 장치를 더욱더 고집적화시킬 수 있다. 또한, 상기 MOS트랜지스터의 채널 길이가 증가되어 쇼트 채널 효과에 의해 발생하는 문제점을 최소화할 수 있다.

<53> 이하, 본 발명의 바람직한 실시예들을 도면을 참조하여 상세히 설명한다. 도면들에서, 동일한 참조 부호는 동일한 부재를 나타낸다.

<54> 실시예 1

<55> 도 1은 본 발명의 제1 실시예에 따른 반도체 장치인 MOS트랜지스터의 단면도이다.

<56> 도 1을 참조하면, 실리콘-온-인슐레이터(SOI), 실리콘 게르마늄-온-인슐레이터(SGOI)로 이루어진 반도체 기판(100)의 실리콘 또는 실리콘 게르마늄 영역에 액티브 영역을 한정하는 트렌치 소자 분리 영역에 필드 산화막(102)이 형성된다. 본 실시예에서는 SOI 기판을 예로 들어 설명한다.

<57> 상기 SOI 기판(100)은 하부 기판(200)상에 매립된 산화물 영역(101)이 구비되고, 상기 산화물 영역(101) 상에 단결정 실리콘 또는 실리콘게르마늄과 같은 반도체 물질층이 형성되어 있다. 상기 SOI 기판(100) 상에 반도체 장치를 형성하는 경우 래치업(latch-up)과 같은 불량을 거의 발생시키지 않는다. 또한, 상기 반도체 물질(semiconductor material)은 매립된 산화물 영역(101, a buried oxide region)상에 비교적 얇게 형성되므로, 상기 반도체 물질을 이용하여 MOS 트랜지스터를 형성하는 경우 소오스와 드레인간의 커패시턴스를 최소화할 수 있어 동작 속도를 증가시킬 수 있다.

<58> 상기 SOI 기판(100)의 상부에 존재하는 반도체 물질층을 소자 분리 공정인 STI (Shallow Trench Isolation) 공정을 이용하여 패터닝하여 형성된 액티브 패턴(103)이 구비되어 있다. 상기 액티브 패턴(103)은 트렌치 소자 분리 영역의 필드 산화막(102)에 의해 정의된다. 상기 액티브 패턴(103)에는 웰 영역 및 채널 영역을 형성하기 위한 불순물이 주입되어 있다.

<59> 상기 액티브 패턴(103)상에는 게이트 전극(127)이 형성되어 있다. 상기 게이트 전극(127)은 금속, 도핑된 폴리실리콘등과 같은 도전성 물질로 이루어진다. 바람직하게는 상기 게이트 전극(127)은 도핑된 폴리실리콘으로 이루어진 게이트 패턴(124a)과 상기 폴리실리콘 게이트 패턴(124a)상에 형성된 코발트 실리사이드와 같은 게이트 금속 실리사이드 패턴(132a)으로 이루어진 폴리사이드 구조를 갖는다.

<60> 상기 게이트 전극(127)에 인접하여, 상기 액티브 패턴(103)상에 에피택시얼 방법에 의해 형성된 에피택시얼층(110)이 형성되어 있다. 상기 에피택시얼층(110)은 실리콘, SiGe, GaAs, 또는 도핑된 실리콘 등으로 이루어진다.

<61> 상기 게이트 전극(127)의 하부 및 상기 에피택시얼층(110)과 접하는 게이트 전극(127)의 하부 측면 부위에는 게이트 절연막(122)이 형성된다.

<62> 도시한 바와 같이, 상기 게이트 전극(127)은 상기 에피택시얼층(110)으로부터 돌출하는 돌출부(125)를 갖는다.

<63> 상기 게이트 전극(127)의 돌출부(125)의 측벽상에는 스페이서(126b)가 형성되어 있다. 상기 스페이서(126b)는 산화 실리콘 또는 질화 실리콘과 같은 단일 물질로 이루어질 수 있고, 실리콘 산화물층과 실리콘 질화물층을 포함하는 복합층으로 형성할 수도 있다.

<64> 상기 스페이서(126b)와 게이트 전극의 돌출부(125) 및 에피택시얼층(110)사이에는 산화 실리콘과 같은 산화물로 이루어진 버퍼막 패턴(126a)이 형성되어 있다.

<65> 상기 게이트 전극(127)의 양측의 에피택시얼층(110)의 상부에 불순물 영역인 소오스/드레인 영역(130)이 형성된다. 상기 소오스/드레인 영역(130)은 상기 스페이서 아래에 상대적으로 저농도로 도핑되는 LDD 영역(110b)을 포함하고 상기 LDD 영역(110b)에 인접하면서 상기 스

페이지에 의해 가려지지 않은 에피택시얼층(110)에 고농도의 불순물 영역인 소오스/드레인 영역(130)이 형성되어 있다.

<66> 바람직하게는, 상기 LDD 영역은 상기 게이트 전극에 인접하여 형성되어 있고, 상기 에피택시얼층(110)의 상부에 형성되어 있는 불순물의 영역의 깊이가 상기 에피택시얼층의 두께보다 작도록 형성된다. 또한, 소오스/드레인 영역(130)은 에피택시얼층에 형성된 에피택시얼 고농도 불순물 영역(130a)과 상기 에피택시얼 고농도의 불순물 영역(130a)의 아래에 상기 반도체 기판(100)의 액티브 패턴(103)의 상부에 까지 연장되어 있는 고농도의 불순물 확장 영역(130b)을 포함한다.

<67> 상기 소오스/드레인 영역(130)상에는 상기 폴리실리콘 게이트 패턴(124a) 상에 형성된 게이트 금속 실리사이드 패턴(132a)과 동일한 물질인 코발트 실리사이드로 이루어진 금속 실리사이드 패턴(132b)이 형성되어 있다.

<68> 상기 MOS 트랜지스터에서는, 점선 C로 표시된 바와 같이 채널 영역이 상기 게이트 전극의 아래에 있는 액티브 패턴(103)의 표면 부위뿐 아니라 상기 게이트 전극(127)의 양 측면의 하부까지 연장된다. 즉, 상기 MOS 트랜지스터의 채널 길이는 상기 게이트 전극(127)의 폭보다 더 길게 형성된다. 따라서, 상기 게이트 전극의 임계치수를 감소시키면서도 쇼트 채널·효과에 의한 불량 발생은 최소화할 수 있다.

<69> 도 2a 내지 2n은 본 실시예에 의한 MOS트랜지스터의 제조 방법을 나타내는 단면도들이다

<70> 도 2a를 참조하면, 실리콘-온-인슐레이터(SOI) 또는 실리콘 게르마늄-온-인슐레이터(SGOI)로 이루어진 반도체 기판(100)의 상부에 통상적인 트렌치 소자 분리 공정을 수행하여 액티브 영역 및 필드 영역(102)을 구분한다.

<71> 다음에, 상기 SOI 반도체 기판(100)의 액티브 영역(103)으로 불순물 이온을 주입시켜 MOS 트랜지스터의 웨л 영역 및 채널 영역을 형성한다. 상기 MOS 트랜지스터의 타입에 따라 3족 또는 5족의 불순물 이온이 주입된다.

<72> 도 2b를 참조하면, 상기 액티브 패턴(103)이 형성되어 있는 상기 반도체 기판 상에 버퍼 산화막(105)을 형성한다. 상기 버퍼 산화막(105)은 열산화 방식 또는 CVD방식에 의해 약 100 내지 200Å의 두께로 형성한다. 상기 버퍼 산화막(105)은 후속 공정을 진행하면서 상기 액티브 패턴(103) 표면이 손상되는 것을 방지한다.

<73> 이어서, 상기 버퍼 산화막(105) 상에 더미 게이트용 질화막(107)을 증착시킨다. 상기 더미 게이트용 질화막(107)은 추후의 CMP공정에서 연마되는 두께를 고려하여 형성하고자 하는 게이트 전극의 높이보다 조금 더 두꺼운 두께로 증착한다. 본 실시예에서 형성하고자 하는 게이트 전극의 높이가 1500Å인 것을 고려하여 상기 더미 게이트용 질화막(107)은 약 2000Å 정도의 두께로 증착한다.

<74> 도 2c를 참조하면, 사진 식각 공정에 의해 상기 더미 게이트용 질화막(107) 및 버퍼 산화막(105)의 소정 부위를 순차적으로 건식 식각하여 상기 버퍼 산화막 패턴(105a) 및 더미 게이트 패턴(107a)이 적층된 형태의 더미 게이트 구조물(108)을 형성한다. 상기 더미 게이트 구조물(108)은 게이트 전극 형성 영역을 정의하기 위해 형성된다. 따라서, 상기 더미 게이트 구조물(108)의 선폭은 형성하고자 하는 게이트 전극의 선폭과 비슷한 선폭을 갖도록 한다.

<75> 도 2d를 참조하면, 상기 액티브 패턴(103)에 형성된 더미 게이트 구조물(108)을 에피택시얼 마스크로 사용하고, 표면에 노출된 실리콘을 시드(seed)로하여 실리콘을 선택적으로 에피택시얼 성장시켜 반도체층인 에피택시얼층(110)을 형성한다. 그러면, 도시한 바와 같은 더미 게이트 구조물(108)로 매립되어 있는 게이트 개구부를 갖는 에피택시얼층(110)이 형성된다.

<76> 상기 에피택시얼층(110)은 MOS 트랜지스터에서 리세스 채널을 형성하기 위한 층이다. 상기 에피택시얼층(110)은 상기 더미 게이트 구조물(108)의 두께보다 낮은 두께로 형성하는 것이 바람직하다. 구체적으로, 상기 에피택시얼층(110)은 약 100내지 1000Å의 두께로 형성한다. 따라서, 도시된 바와 같이 상기 더미 게이트 구조물(108)은 상기 에피택시얼층(110)으로부터 돌출된 형태를 갖는다.

<77> 상기 더미 게이트 구조물(108)의 측면에 형성되어 있는 상기 에피택시얼층(110)의 측면을 따라 MOS 트랜지스터의 채널이 형성된다. 그러므로, 설계된 MOS 트랜지스터의 동작 특성에 따라 상기 에피택시얼층(110)의 두께를 다양하게 변경하여 MOS 트랜지스터의 채널 길이를 조정 할 수 있다.

<78> 도 2e를 참조하면, 상기 에피택시얼층(110) 표면, 필드 산화막(102) 표면 및 더미 게이트 구조물(108)에서 돌출 부위의 표면에 100 내지 200Å의 얇은 두께로 실리콘 질화물로 이루어진 질화물 라이너막(114)을 형성한다. 상기 실리콘 질화물 라이너막(114)은 상기 에피택시얼층(110)을 보호하고, 후속 공정에서 실리콘 산화막의 식각시에 트렌치내의 필드산화막의 식각을 방지하고, CMP공정에서의 식각 저지막의 역할을 한다.

<79> 이어서, 상기 실리콘 질화물 라이너막(114) 상에 제1 실리콘 산화막(116)을 형성한다. 상기 제1 실리콘 산화막(116)은 상기 제1 실리콘 산화막(116)에서 단차가 가장 낮은 영역이 상기 더미 게이트 구조물(108)보다 높게 위치하도록 형성한다. 즉, 상기 제1 실리콘 산화막(116)

은 상기 에피택시얼층(110)으로부터 돌출되어 있는 부분의 더미 게이트 구조물(108)의 두께보다 더 두껍게 형성한다.

<80>      도 2f를 참조하면, 상기 제1 실리콘 산화막(116)이 형성된 기판에 CMP 공정을 수행하여 상기 제1 실리콘 산화막(116)을 평탄화하여 평탄화된 제1 실리콘 산화막(116a)을 형성한다. 이 때, 상기 실리콘 질화물 라이너막(114)을 식각종말점으로 이용하여, 식각 종말점이 검출된 후, 어느 정도 CMP 공정을 더 수행하여 상기 더미 게이트 구조물(108a)이 표면에 노출되도록 수행한다.

<81>      도 2g를 참조하면, 상기 더미 게이트 구조물(108a)을 제거하여 상기 에피택시얼층(110)의 게이트 개구부(120)를 형성한다. 구체적으로, 상기 더미 게이트 구조물(108a)에 포함된 상기 더미 게이트 패턴은 인산을 포함하는 식각액을 사용하여 습식 식각한다. 이 때, 상기 더미 게이트 구조물(108a)의 상부 측벽에 접촉하는 질화물 라이너막(114)도 부분적으로 제거되어 상기 게이트 개구부(120)를 제외한 부분에 라이너막 패턴(114a)으로 잔류하게 된다. 따라서, 평탄화된 제1 실리콘 산화막(116a)은 상기 게이트 개구부(120)의 상부에, 도시한 바와 같이, 상기 게이트 개구부(120)보다 약간 넓은 폭을 갖도록 게이트 확장 개구부(120a)를 갖는다.

<82>      이어서, 상기 더미 게이트 패턴 아래에 구비되는 버퍼 산화막 패턴(105a)은 습식 식각하거나 또는 건식 식각에 의해 제거한다.

<83>      도 2h를 참조하면, 상기 게이트 개구부(120)의 표면에 30 내지 200Å의 얇은 두께로 게이트 산화막(122)을 형성한다. 이 때, 상기 게이트 산화막(122)은 상기 게이트 개구부(120)를 포함하는 상기 결과물을 산소 분위기에서 열처리하여 상기 게이트 개구부(120) 표면에 노출되는 실리콘과 산소를 반응시켜 형성한다. 따라서,

상기 게이트 산화막(122)은 상기 게이트 개구부(120)의 표면에서 에피택시얼층(110)이 노출되어 있는 부위에만 형성된다. 구체적으로, 상기 게이트 개구부(120)의 내표면 및 상기 게이트 개구부(120)에 의해 노출된 액티브 패턴(103)의 표면부위에 연속하여 게이트 산화막(122)을 형성한다.

<84> 이어서, 상기 게이트 산화막(122)이 표면에 형성되어 있는 상기 게이트 개구부(120)와 게이트 확장 개구부(120a)를 매립하도록 게이트 형성용 도전층(124)을 두껍게 형성한다. 상기 게이트 형성용 도전층(124)은 폴리실리콘층, 폴리실리콘 및 실리콘 게르마늄의 복합층 또는 금속층으로 형성할 수 있다. 본 실시예에서 상기 게이트 형성용 도전층(124)은 도핑된 폴리실리콘을 화학 기상 증착방법에 의해 형성한다.

<85> 도 2i를 참조하면, 상기 평탄화된 제1 실리콘 산화막(116a)이 노출되도록 상기 게이트 형성용 도전층(124)을 CMP공정으로 연마한다. 상기 CMP공정은 상기 제1 실리콘 산화막(116a)의 상부면이 노출될 때까지 수행한다.

<86> 상기 CMP 공정을 수행하면 상기 게이트 개구부(120)와 게이트 확장 개구부(120a) 내에만 상기 게이트 형성용 도전층(124)이 남게 되어 폴리실리콘 게이트 패턴(124a)이 형성된다.

<87> 도 2j를 참조하면, 상기 실리콘 질화물 라이너막(114a)이 노출되도록 상기 제1 실리콘 산화막(116a)을 건식 또는 습식 식각에 의해 제거한다. 상기 실리콘 질화물 라이너막(114a)은 상기 에피택시얼층(110) 및 필드 산화막(102)이 상기 건식 식각 또는 습식 식각용 에천트로부터 식각되는 것을 방지한다. 이어서, 상기 질화물 라이너막(114a)을 인산을 포함하는 식각액을 사용하여 습식 식각하여 제거하여, 상기 에피택시얼층(110)을 노출시킨다.



1020030012793

출력 일자: 2003/10/17

<88> 다음에, 상기 에피택시얼층(110) 및 노출된 폴리실리콘 게이트 패턴(124a)의 상부면을 덮도록 CVD 방법에 의해 100Å 정도의 얇은 두께로 버퍼 산화막인 제2 실리콘 산화막(150)을 형성한다.

<89> 상기 폴리실리콘 게이트 패턴(124a)을 마스크로 하고 상기 에피택시얼층(110)의 상부에 비교적 저농도로 불순물 이온을 주입한다. 주입될 수 있는 불순물로서는 상기 MOS 트랜지스터의 타입에 따라 B, As, 또는 P와 같은 3족 또는 5족의 불순물 이온을 들 수 있다.

<90> 상기 불순물 이온 주입 공정에 의해 상기 더미 게이트 구조물(108) 양측의 에피택시얼층(110) 표면 아래로 소정 두께만큼 제1 불순물 도핑 영역(110a)이 형성된다. 상기 제1 불순물 도핑 영역(110a)은 상기 에피택시얼층(100)의 표면으로부터 약 200 내지 500Å의 깊이를 갖도록 형성한다. 바람직하게는, 상기 제1 불순물 도핑 영역(110a)의 깊이는 상기 에피택시얼층(100)의 두께보다 작도록 형성한다. 그 결과, 상기 에피택시얼층(110)의 두께와 상기 제1 불순물 도핑 영역(110a)의 깊이의 차이의 두배정도의 길이로 트랜지스터의 채널길이가 상기 폴리실리콘 게이트 패턴(124a)의 폭보다 연장되어 형성된다.

<91> 도시하지는 않았지만, 상기 제1 도핑 영역(110a)을 형성한 이 후에 상기 에피택시얼층의 국부적인 영역에 상기 제1 도핑 영역(110a)과 반대의 타입의 불순물을 도핑시키는 할로(halo) 공정을 더 수행할 수 있다. 상기 할로 공정을 수행함으로서 트랜지스터의 문턱 전압을 제어할 수 있다.

<92> 도 2k를 참조하면, 상기 제2 실리콘 산화막 상에 실리콘 질화막을 약 100 내지 700Å 정도의 두께로 형성한다.

<93> 이어서, 상기 실리콘 질화막을 이방성 식각하여 상기 폴리실리콘 게이트 패턴(124a)의 돌출부(125)의 측벽에 상기 스페이서(126b)를 형성한다. 다음에, 상기 제2 실리콘 산화막(150)을 식각하여 노출된 부위를 제거하여 상기 스페이서(126b)에 의해 커버된 부위만을 남긴다. 그러면, 도시한 바와 같이, 상기 돌출부(125)의 측벽 및 상기 스페이서(126b)의 아래에 연속하여 베퍼막 패턴(126a)가 형성되고, 상기 베퍼막 패턴(126a)상에 실리콘 질화물로 이루어진 스페이서(126b)가 형성된다.

<94> 상기 스페이서(126b)는 후속 공정을 통해 MOS트랜지스터의 LDD 구조의 소오스 및 드레인 영역의 LDD영역을 한정한다. 즉, 상기 스페이서(126b) 저면부의 수평 방향의 두께는 LDD 영역이 형성되는 폭을 정한다.

<95> 공정상의 편의를 위해 실리콘 질화물 또는 실리콘 산질화물등의 단일의 절연물질로만 이루어지는 스페이서를 형성할 수도 있다. 본 실시예에서는 실리콘 질화막으로 이루어진 스페이서(126b)를 도시하였지만, 실리콘 질화막 대신에 실리콘 산화막과 실리콘 질화막의 복합층형태로 적층한 후 이방성 식각하여 복합층 상태의 스페이서(126b)를 형성하여, MOS 트랜지스터의 드레인 또는 소오스와 연결되는 콘택과 상기 게이트 전극간에 생기는 기생 케페시턴스를 감소시킬 수 있다.

<96> 도 21을 참조하면, 상기 스페이서(126b)를 구비하는 폴리 실리콘 게이트 패턴(124a)을 이온 주입 마스크로하여 상기 에피택시얼층(110) 표면 아래로 비교적 고농도로 불순물 이온을 주입하여 상기 에피택시얼층(110)에 상기 소오스 및 드레인 영역(130)의 상부 고농도 불순물 영역(130a)을 형성한다. 이때, 상기 불순물의 이온주입 깊이는 상기 에피택시얼층(110)의 두께 보다 깊도록 조절하여 도시한 바와 같이 상기 상부 고농도의 불순물 영역(130a)에 접하는 액티브 패턴(103)의 표면부위에 고농도 불순물의 확장 영역(130b)을 형성하는 것이 바람직하다. 따

라서, 트랜지스터의 소오스 및 드레인 영역(130)은 에피택시얼층(110)에 형성된 상부 고농도의 불순물 영역(130a)과 액티브 패턴(103)의 표면부위에 형성된 고농도 불순물 확장 영역(130b)을 포함한다. 바람직하게는, 상기 고농도 불순물의 확장 영역(130b)의 깊이가 약 200 내지 500 Å 정도이다.

<97> 상기 불순물 이온을 주입한 이 후에 상기 기판을 열처리하여 상기 불순물 이온들을 활성화시킨다.

<98> 상기 불순물은 상기 스페이서(126)에 의해 노출된 부위의 에피택시얼층(110)의 표면 아래로 주입되고, 상기 스페이서(126)에 의해 가려진 에피택시얼층(110)의 저면 아래 부분에는 주입되지 못한다. 따라서, 상기 스페이서(126)의 저면 아래에 해당되는 영역은 상기 스페이서(126b)의 양측으로 이온이 주입된 영역인 고농도의 불순물 영역인 소오스 및 드레인 영역(130)에 낮은 불순물 농도를 갖는 LDD영역(110b)이 된다. 상기 LDD영역(110b)은 상기 스페이서(126) 저면의 수평 방향 두께에 의해 결정되며 200 내지 700Å 정도의 폭을 갖는다.

<99> 도 2m을 참조하면, 상기 노출된 에피택시얼층(110) 및 폴리실리콘 게이트 패턴(124a)상에 게이트 금속 실리사이드 패턴(132a)과 금속 실리사이드 패턴(132b)을 각각 형성한다. 상기 게이트 금속 실리사이드 패턴(132a) 금속 실리사이드 패턴(132b)은 예를 들면 코발트 실리사이드 패턴, 텅스텐 실리사이드 패턴 또는 티타늄 실리사이드 패턴을 포함한다.

<100> 상기 게이트 금속 실리사이드 패턴(132a) 및 상기 금속 실리사이드 패턴(132b)을 형성하면, 상기 폴리실리콘 게이트 패턴(124a) 및 소오스/ 드레인(130)에서의 접촉 저항을 감소시킬 수 있다. 그러나 공정상의 편의를 위해 상기 금속 실리사이드 패턴 형성 공정을 생략할 수도 있다.

<101> 이후, 게이트 금속 실리사이드 패턴(132a)과 금속 실리사이드 패턴(132b)상에 배선 공정과 같은 후속 공정을 진행하여 반도체 장치를 완성한다.

<102> 본 실시예에 의하면, MOS 트랜지스터는 채널 영역이 상기 게이트 전극의 저면 뿐 아니라 상기 게이트 전극 하부의 양 측면까지 연장된다. 즉, 상기 MOS 트랜지스터의 채널 길이는 상기 게이트의 폭보다 더 길게 형성된다. 따라서 상기 게이트 전극의 임계치수를 감소시키면서도 쇼트 채널 효과에 의한 불량 발생은 최소화할 수 있다.

<103> 또한, 상기 MOS 트랜지스터에서 상기 게이트 전극 형성 영역을 정의하기 위해 상기 실리콘 기판을 건식 식각하지 않으므로, 상기 건식 식각에 의해 발생하는 기판 손상 등을 최소화할 수 있다.

<104> 실시예 2

<105> 도 3은 본 발명의 제2 실시예에 따른 반도체 장치인 MOS트랜지스터의 단면도이다.

<106> 본 실시예에 따른 MOS트랜지스터는 고농도의 불순물 영역(130c)인 소오스 및 드레인 영역이 에피택시얼층(110)에만 형성된 것을 제외하고는 실시예 1에 도시한 MOS 트랜지스터와 동일하다. 따라서, 동일한 부재에 대하여는 동일한 참조부호로 나타내고, 더 이상의 설명은 생략한다.

<107> 본 실시예에 따른 MOS트랜지스터는 소오스 및 드레인 영역의 고농도의 불순물영역을 형성할 때, 이온 주입 깊이를 상기 저농도의 불순물 영역(LDD 영역)(110b)의 깊이와 동일하거나, 상기 에피택시얼층(110)의 두께보다 낮은 깊이를 같도록 형성한다.

<108> 실시예 3

<109> 본 실시예에서는 트랜지스터의 제조 방법에 대하여 설명한다. 본 실시예에 따른 MOS트랜지스터 제조 방법은 LDD형성을 위한 이온 주입 공정을 에피택시얼층(110)을 형성한 후, 더미 게이트 패턴을 이온주입 마스크로 이용하여 형성하는 것을 제외하고는 실시예 1 및 2에서 설명한 MOS트랜지스터의 제조 방법과 유사하다.

<110> 도 4a 내지 4e는 본 실시예에 의한 MOS트랜지스터의 제조 방법을 나타내는 단면도들이다.

<111> 도 4a를 참조하면, 실시예 1의 도 2a 내지 도 2c에 도시한 바와 같이, 더미 게이트용 질화막(107) 및 버퍼 산화막(105)의 소정 부위를 순차적으로 건식 식각하여 상기 버퍼 산화막 패턴(105a) 및 더미 게이트 패턴(107a)이 적층된 형태의 더미 게이트 구조물(108)을 형성한 후, 에피택시얼층(110)을 형성한다. 그러면, 도시한 바와 같은 더미 게이트 구조물(108)로 매립되어 있는 게이트 개구부를 갖는 에피택시얼층(110)이 형성된다.

<112> 이어서, 상기 에피택시얼층(110)을 큐어링하고 이 후의 불순물 증착 공정 시에 상기 에피택시얼층(110)을 보호하기 위하여, 상기 에피택시얼층(110) 상에 보호용 실리콘 산화막(112)을 형성한다. 상기 보호용 실리콘 산화막(112)은 열적 산화 공정 또는 CVD공정에 의해 약 100 내지 200Å의 두께로 형성한다.

<113> 도 4b를 참조하면, 상기 더미 게이트 구조물(108)을 마스크로 하고 상기 에피택시얼층(110)의 상부에 비교적 저농도로 불순물 이온을 주입한다.

<114> 상기 불순물 이온 주입 공정에 의해 상기 더미 게이트 구조물(108) 양측의 에피택시얼층(110)표면 아래로 소정 두께만큼 제1 불순물 도핑 영역(110a)이 형성된다. 바람직하게는, 상기

제1 불순물 도핑 영역(110a)은 상기 에피택시얼층(100)의 표면으로부터 약 250 내지 300Å 깊 이를 갖도록 형성한다.

<115> 상기 불순물 주입 공정을 수행한 후 세정 공정을 수행한다. 상기 세정 공정 중에, 상기 에피택시얼층(110)의 표면부위에 잔류하는 보호용 실리콘 산화막(112)은 대부분 제거된다.

<116> 도 4c를 참조하면, 실시예 1의 도 2e에 도시한 바와 같이, 상기 제1 도핑 영역(110a)이 형성되어진 상기 에피택시얼층(110) 표면, 필드 산화막(102) 표면 및 더미 게이트 구조물(108)에서 돌출 부위의 표면에 100 내지 200Å의 얇은 두께로 실리콘 질화물로 이루어진 질화물 라이너막(114)을 형성한 후, 상기 실리콘 질화물 라이너막(114) 상에 제1 실리콘 산화막(116)을 형성한다.

<117> 도 4d를 참조하면, 실시예 1의 도 2f 내지 도 2j에 도시한 바와 동일한 방법으로 게이트 절연막(122) 및 폴리실리콘 게이트 패턴(124a)을 형성한다.

<118> 도 4e를 참조하면, 실시예 1의 도 2k 및 2l에 도시한 바와 같이, 상기 폴리실리콘 게이트 패턴(124a)의 돌출부(125)의 측벽 및 상기 스페이서(126b)의 아래에 연속하여 버퍼막 패턴(126a)이 형성되고, 상기 버퍼막 패턴(126a)상에 실리콘 질화물로 이루어진 스페이서(126b)를 형성한다.

<119> 다음에, 상기 스페이서(126b)를 구비하는 폴리 실리콘 게이트 패턴(124a)을 이온 주입 마스크로하여 상기 에피택시얼층(110) 표면 아래로 비교적 고농도로 불순물 이온을 주입하여 상기 에피택시얼층(110)에 상기 소오스 및 드레인 영역(130)의 고농도 불순물 영역을 형성한다

<120> 이때, 상기 불순물의 이온주입 깊이는 상기 실시예 1에서와 같이 상기 에피택시얼층(110)의 두께보다 깊도록 하여 도시한 바와 같이, 상기 상부 고농도의 불순물 영역(130a)에 접하는 액티브 패턴(103)의 표면부위에 고농도 불순물의 확장 영역(130b)을 형성하거나, 또는 실시예 2에서와 같이 상기 에피택시얼층(100)의 두께와 동일하거나, 낮은 깊이를 같도록 조절한다.

<121> 이후, 도 2m에 도시한 바와 동일한 방법을 수행하여 반도체 장치를 완성한다.

<122> 실시예 4

<123> 도 5는 본 발명의 실시예 4에 의한 MOS 트랜지스터를 설명하기 위한 단면도이다. 본 실시예에 따른 MOS 트랜지스터는 실시예 1에서의 게이트 개구부로부터 연장된 트렌치(또는 요부)가 액티브 패턴에 형성되어 있고, 게이트 전극을 구성하는 폴리실리콘 게이트 패턴이 상기 트렌치와 상기 게이트 개구부를 매립하도록 형성되어 있는 것을 제외하고는 실시예 1 내지 3에서의 MOS 트랜지스터와 동일하다. 따라서, 동일한 부재에 대하여서는 실시예 1에서의 참조부호와 동일한 참조부호로 나타내고, 중복한 설명은 생략한다.

<124> 도시한 바와 같이, 본 실시예에 따른 액티브 패턴(103a)은 그 표면 부위에 게이트 개구부(120)로부터 연장되어 트렌치(121)가 형성되어 있다. 게이트 전극을 구성하는 폴리실리콘 게이트 패턴(124b)은 상기 트렌치(121)와 상기 게이트 개구부(120)를 매립하도록 형성된다. 또한, 게이트 산화막(122a)은 상기 게이트 개구부(120)의 내면 및 상기 트렌치(121)의 측면 및 저면상에 연속적으로 형성되어 있다.

<125> 도 6a 내지 도 6e는 본 실시예에 따른 MOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.

<126> 실시예 1의 도 2a 내지 도 2f에서 설명한 바와 동일한 공정들을 수행하여 도 6a에 도시한 바와 같이, 트렌치 소자 분리 방법에 의해 형성된 필드 산화막(102)이 형성된 SOI 기판 상에 더미 게이트 구조물(108a)이 형성된다. 그리고, 상기 SOI 기판(100)상에서 상기 더미 게이트 구조물(108a)을 둘러싸도록, 액티브 패턴(103)상에 에피택시얼층(110), 질화물 라이너막(114) 및 평탄화된 제1 실리콘 산화막(116a)이 순차적으로 적층된다.

<127> 도 6b를 참조하면, 실시예 1의 도 2g에 도시한 바와 동일한 방법으로 상기 더미 게이트 구조물(108a)을 제거한다.

<128> 도 6c를 참조하면, 상기 평탄화된 제1 실리콘 산화막(116a)을 에칭 마스크로 사용하여, 상기 게이트 개구부(120)의 저면에 노출되어 있는 액티브 패턴(103)을 이방성 식각하여 상기 게이트 개구부(120)로부터 연장되는 게이트 트렌치(121)를 형성한다. 즉, 상기 식각 공정에 의해 상기 액티브 패턴(103)의 상부에는 상기 게이트 개구부(120)로부터 연장되어 게이트 트렌치(121)가 형성된다.

<129> 상기 게이트 트렌치(121)의 깊이는 MOS 트랜지스터의 디자인 특성에 따라 조정가능하고, 50 내지 500Å 정도로 형성하는 것이 바람직하다. 이와 같이, 게이트 트렌치를 형성한 후, 게이트 전극은 상기 게이트 트렌치(121)와 상기 게이트 개구부(120)내를 도전 물질로 매립하여 형성된다. 따라서, 상기 게이트 트렌치(121)의 깊이만큼 상기 게이트 전극의 두께가 증가되고, 상기 게이트 트렌치(121)의 깊이가 깊어질수록 후속 공정에서 형성되는 MOS 트랜지스터의 채널 길이가 증가된다.

<130> 도 6d를 참조하면, 실시예 1의 도 2h에서 설명한 바와 동일한 방법으로, 상기 게이트 개구부(120) 및 게이트 트렌치(121)의 표면(구체적으로는, 게이트 개구부(120)의 내면 및 게이트 트렌치(121)의 내측면 및 저면상)에 30 내지 200Å의 얇은 두께로 게이트 산화막(122a)을 형성한다. 상기 게이트 산화막(122a)은 상기 게이트 개구부(120) 및 트렌치(121)를 포함하는 상기 결과물을 산소 분위기에서 열처리하여 상기 게이트 개구부(120) 및 트렌치(121) 표면에 노출되는 실리콘과 산소를 반응시켜 형성한다. 따라서, 상기 게이트 산화막(122a)은 도시한 바와 같이, 상기 게이트 개구부(120)의 내면 및 트렌치(121)의 내측면 및 저면에 즉, 실리콘의 노출되어 있는 부위상에만 형성된다.

<131> 이어서, 상기 게이트 산화막(122a)이 표면에 형성되어 있는 상기 게이트 개구부(120) 및 트렌치(121)를 매몰하도록 게이트 형성용 도전층(124)을 형성한다. 다음에, 실시예 1의 도 2i 내지 2m에 도시한 바와 동일한 방법으로 수행하여 도 5에 도시한 바와 같은 본 실시예에 따른 MOS 트랜지스터를 완성한다.

<132> 본 실시예 따른 MOS 트랜지스터는 실시예 1의 MOS트랜지스터에 비하여, 상기 게이트 트렌치(121)의 깊이만큼 상기 게이트 전극의 두께가 증가되고, 상기 게이트 트렌치(121)의 깊이가 깊어질수록 MOS 트랜지스터의 채널 길이를 증가시킬 수 있다.

<133> 실시예 5

<134> 도 7은 본 발명의 실시예 5에 의한 MOS 트랜지스터를 설명하기 위한 단면도이다. 본 실시예에 따른 MOS 트랜지스터는 게이트 개구부의 내면 및 게이트 개구부에 의해 노출된 액티브 패턴의 표면부위에 연속하여 스트레인드 에피택시얼층(140)이 형성되어 있는 것을 제외하고는

실시예 1 내지 4에서의 MOS 트랜지스터와 동일하다. 따라서, 동일한 부재에 대하여서는 실시예 1에서의 참조부호와 동일한 참조부호로 나타내고, 중복한 설명은 생략한다.

<135> 도시한 바와 같이, 본 실시예에 따른 MOS 트랜지스터는, 게이트 개구부의 내면 및 게이트 개구부에 의해 노출된 액티브 패턴의 표면부위에 연속하여 형성되어 있는 스트레인드 에피택시얼층(140)을 포함한다. 상기 스트레인드 에피택시얼층(140)상에는 게이트 산화막(122)이 형성되어 있고, 상기 게이트 산화막(122)상에 게이트 전극을 구성하는 폴리실리콘 게이트 패턴(124a)이 상기 게이트 개구부(120)를 매립하도록 형성되어 있다.

<136> 도 8a 내지 도 8d는 본 실시예에 따른 MOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.

<137> 실시예 1의 도 2a 내지 도 2f에서 설명한 바와 동일한 공정들을 수행하여 도 8a에 도시한 바와 같이, 트렌치 소자 분리 방법에 의해 형성된 필드 산화막(102)이 형성된 SOI기판 상에 더미 게이트 구조물(108a)이 형성된다. 그리고 상기 SOI 기판(100)상에서 상기 더미 게이트 구조물(108a)을 둘러싸도록, 액티브 패턴(103)상에 에피택시얼층(110), 질화물 라이너막(114) 및 평탄화된 제1 실리콘 산화막(116a)이 순차적으로 적층된다.

<138> 도 8b를 참조하면, 실시예 1의 도 2g에 도시한 바와 동일한 방법으로 상기 더미 게이트 구조물(108a)을 제거한다.

<139> 여기서, 도시하지는 않지만, 실시예 4에서와 마찬가지로, 에칭 공정을 더 진행하여 상기 액티브 패턴(103)에 게이트 트렌치를 형성후 게이트 전극을 형성할 수도 있다.

<140> 도 8c를 참조하면, 상기 게이트 개구부(120)의 측면 및 저면(즉, 상기 게이트 개구부(120)에 의해 노출된 액티브 패턴(103)의 표면부위)상에서 실리콘의 노출되어 있는 부위로부터

선택적으로 실리콘을 에피택시얼 성장시켜 스트레인드 실리콘막(140, strained-Si layer)을 형성한다. 상기 스트레인드 실리콘막(140)은 게르마늄과 실리콘간의 격자 미스 매치를 이용하여 실리콘 원자가 정상적인 간격보다 더 떨어지게 결합되도록 형성한 막이다. 상기 스트레인드 실리콘막을 형성하는 방법의 일 예는 미합중국 특허 제 5,759,898호, 제 6,429,061호 등에 개시되어 있다. 상기 스트레인드 실리콘막(140)은 실리콘간의 간격이 증가되기 때문에 캐리어의 이동도 및 전도성이 개선된다. 따라서, 이 후의 공정에 의해 완성되는 MOS 트랜지스터는 동작 속도가 증가된다.

<141> 상기 스트레인드 실리콘막(140)은 상기 게이트 개구부(120)의 측면 및 저면에 약 50 내지 100Å 정도의 두께로 형성하는 것이 바람직하다.

<142> 도 8d를 참조하면, 실시예 1의 도 2h에서 설명한 바와 동일한 방법으로 상기 스트레인드 실리콘막(140) 상에 30 내지 200Å의 얇은 두께로 게이트 절연막용 실리콘 산화막(122)을 형성한다. 이어서, 상기 게이트 산화막(122)이 표면에 형성되어 있는 상기 게이트 개구부(120)를 매몰하도록 게이트 형성용 도전층(124)을 형성한다.

<143> 다음에, 실시예 1의 도 2j 내지 2n에 도시한 바와 동일한 방법으로 수행하여 도 5에 도시한 바와 같은 본 실시예에 따른 MOS 트랜지스터를 완성한다.

<144> 본 실시예에 따른 MOS 트랜지스터는 상기 스트레인드 실리콘막에 트랜지스터 채널을 형성할 수 있어 캐리어 이동도가 증가시킬 수 있다. 따라서, MOS 트랜지스터의 동작 속도를 향상시킬 수 있다.

<145> 실시예 6

<146> 도 9는 본 발명의 실시예 6에 의한 MOS 트랜지스터를 설명하기 위한 단면도이다. 본 실시예에 따른 MOS 트랜지스터는 실시예 1의 게이트 절연막으로서 열산화막을 사용하는 대신에, CVD 방법이나 ALD방법을 사용하여 게이트 절연막을 형성하는 것을 제외하고는 실시예 1 내지 5에서의 MOS 트랜지스터와 동일하다. 따라서, 동일한 부재에 대하여서는 실시예 1 내지 5에서의 참조부호와 동일한 참조부호로 나타내고, 중복한 설명은 생략한다.

<147> 도시한 바와 같이, 본 실시예에 따른 MOS 트랜지스터는, 게이트 확장 개구부의 내면, 게이트 개구부의 내면 및 게이트 개구부에 의해 노출된 액티브 패턴의 표면부위에 연속하여 게이트 절연막(150a)이 형성되어 있고, 상기 게이트 절연막(150a)상에 게이트 전극을 구성하는 폴리실리콘 게이트 패턴(124a)이 상기 게이트 개구부(120)를 매립하도록 형성되어 있다.

<148> 도 10a 내지 10d는 본 실시예에 따른 MOS 트랜지스터 제조 방법을 설명하기 위한 단면도들이다.

<149> 실시예 1의 도 2a 내지 도 2f에서 설명한 바와 동일한 공정들을 수행하여 도 10a에 도시한 바와 같이, 트렌치 소자 분리 방법에 의해 형성된 필드 산화막(102)이 형성된 SOI기판 상에 더미 게이트 구조물(108a)이 형성된다. 그리고, 상기 SOI 기판(100)상에서 상기 더미 게이트 구조물(108a)을 둘러싸도록, 액티브 패턴(103)상에 에피택시얼층(110), 질화물 라이너막(114) 및 평탄화된 제1 실리콘 산화막(116a)이 순차적으로 적층된다.

<150> 도 10b를 참조하면, 실시예 1의 도 2g에 도시한 바와 동일한 방법으로 상기 더미 게이트 구조물(108a)을 제거한다. 다음에, 상기 게이트 확장 개구부의 내측면, 게이트 개구부의 측면, 저면 (게이트 개구부에 의해 노출된 액티브 패턴의 표면부위) 및 제1 실리콘 산화막(116a)의 표면상에 연속적으로 CVD 또는 ALD방법으로 게이트 절연막(150)을 형성한다. 상기 게이트 절연막(150)은 30 내지 200Å의 얇은 두께로 형성한다. 상기 게이트 절연막(150)은 일반적으로 사

용되는 산화 실리콘을 CVD방법에 의해 증착하여 산화실리콘막으로 형성할 수 있다. 또는, 상기 게이트 절연막(150)은 CVD방법이나 ALD방법에 의해 상기 실리콘 산화막에 비해 상대적으로 높은 유전율을 갖는 금속 산화막으로 형성할 수 있다. 이러한 방법으로 형성될 수 있는 금속 산화막의 예로서는,  $Ta_2O_5$ 막,  $TiO_2$ 막,  $Al_2O_3$ 막,  $Y_2O_3$ 막,  $ZrO_2$ 막,  $HfO_2$ 막,  $BaTiO_3$ 막,  $SrTiO_3$ 막, 또는 이들의 복합막 등을 들 수 있다. 또한, 상기 게이트 절연막(150)은 실리콘 산질화물(SiON) 계열의 절연막으로 형성할 수 있다. 상기와 같이 게이트 절연막(150)으로 사용되는 물질을 변경시켜 MOS 트랜지스터의 특성을 다양하게 구현할 수 있다.

<151> 이어서, 상기 게이트 절연막(150)이 표면에 형성되어 있는 상기 게이트 개구부(120)를 매몰하도록 게이트 형성용 도전층(124)을 형성한다.

<152> 도 10c를 참조하면, 상기 게이트 형성용 도전층(124) 및 게이트 절연막(150a)을 CMP공정을 수행하여 순차적으로 연마시켜 상기 제1 실리콘 산화막(116a)의 상부 표면을 노출시킨다. 그 결과, 상기 게이트 개구부(120)를 매립하는 폴리실리콘 게이트 패턴(124a)이 형성된다. 또한, 상기 제1 실리콘 산화막(116a)과 게이트 패턴(124a)의 상부면이 표면에 노출된다. 그리고, 상기 게이트 절연막(150)은 게이트 패턴(124a)의 측면 및 저면에 게이트 절연막 패턴(150a)으로서 잔류하게 된다.

<153> 도 10d를 참조하면, 상기 질화물 라이너막(114a)이 노출되도록 상기 평탄화된 제1 실리콘 산화막(116a)을 건식 또는 습식 식각한다. 이어서, 상기 질화물 라이너막(114a)을 인산을 포함하는 식각액을 사용하여 습식 식각한다. 따라서, 상기 에피택시얼층(110)은 노출되고 상기 게이트 패턴(124a)의 돌출부(125)는 상기 에피택시얼층(110)으로부터 돌출되어 노출된다.

<154> 이 때, 상기 게이트 절연막(150a)이 실리콘 산화막으로 형성되어 있는 경우에는, 상기 제1 실리콘 산화막(116a)을 식각하는 공정을 수행할 때 상기 돌출부(235)의 측벽에 형성되어 있는 게이트 절연막(150a)의 일부가 함께 제거된다.

<155> 그렇지만, 상기 게이트 절연막(150a)이 금속 산화막으로 형성되어 있는 경우에는, 도시된 바와 같이 상기 게이트 패턴에서 돌출부(125)의 측벽에 형성된 게이트 절연막(150a)은 상기 제1 실리콘 산화막(116a)을 식각할 때 함께 제거되지 않아서 잔류할 수도 있다.

<156> 또한, 상기 게이트 절연막(150a)이 실리콘 산질화물계막으로 형성되어 있는 경우에는 상기 질화물 라이너막(114a)을 제거하는 공정을 수행할 때 돌출부(125)의 측벽부위에 형성된 부분이 동시에 제거될 수도 있다.

<157> 다음에, 실시예 1의 도 2j에 도시한 바와 같이 이온 주입 공정을 수행하여 저농도로 도핑된 불순물 영역(110a)을 형성한 후, 도 2h 내지 2m에 도시한 바와 동일한 방법으로 수행하여 도 9에 도시한 바와 같은 본 실시예에 따른 MOS 트랜지스터를 완성한다.

<158> 본 실시예에 따른 MOS 트랜지스터는 상기 절연막으로서 유전율이 높은 금속 산화막을 이용하기 때문에, 트랜지스터의 특성을 향상시킬 수 있다.

<159> 실시예 7

<160> 도 11은 본 발명의 실시예 7에 의한 MOS 트랜지스터를 설명하기 위한 단면도이다. 본 실시예에 따른 MOS 트랜지스터는 SOI 기판 대신에 통상적인 반도체 기판상에 MOS 트랜지스터를 제조하는 것을 제외하고는 실시예 1 내지 6에서의 MOS 트랜지스터와 동일하다. 따라서, 동일한

부재에 대하여서는 실시예 1 내지 6에서의 참조부호와 동일한 참조부호로 나타내고, 중복한 설명은 생략한다.

<161> 도시한 바와 같이, 본 실시예에 의하면, 액티브 패턴은 반도체 기판(100)의 상부에 형성된 웰 영역(도시 안됨)내에 형성된다. 또한, 소오스/드레인 영역(130)은 에피택시얼층에 형성된 에피택시얼 고농도 불순물 영역(130a)과 상기 에피택시얼 고농도의 불순물 영역(130a)의 아래에 상기 반도체 기판(100)의 액티브 영역의 상부에 까지 연장되어 있는 고농도의 불순물 확장 영역(130b)을 포함한다.

<162> 도 2a에 도시한 바와 동일한 방법으로, 단결정 실리콘으로 이루어진 반도체 기판(100)의 상부에 통상적인 트렌치 소자 분리 공정을 수행하여 액티브 영역(103) 드 영역(102)을 구분한다.

<163> 다음에, 상기 반도체 기판(100)의 액티브 영역에는 불순물 이온을 주입시켜 MOS 트랜지스터의 웰영역 및 채널 영역을 형성한다.

<164> 다음에, 실시예 1의 도 2b 내지 2m에 도시한 바와 동일한 방법으로 도 11에 도시한 바와 같은 본 실시예에 따른 MOS 트랜지스터를 완성한다.

<165> 또한 도시하지는 않았지만, 상기 실시예 2 내지 6에서 도시한 바와 동일한 방법으로 상기 반도체 기판(100)상에 수행하여 본 발명의 반도체 장치인 MOS 트랜지스터를 제조할 수 있다.

<166> 또한, 필요에 따라서는 상기 실시예 1 내지 7에 도시한 방법을 조합하여 보다 특성이 향상된 반도체 장치를 제조할 수 있다.

**【발명의 효과】**

<167> 상술한 바와 같이 본 발명에 의하면, 게이트 전극의 측면 및 저면 아래의 에피택시얼층을 따라 MOS트랜지스터의 채널이 형성된다. 따라서, 게이트 전극의 길이 보다 더 긴 리세스 채널이 형성되는 MOS 트랜지스터를 형성할 수 있다.

<168> 본 발명의 MOS 트랜지스터는 더미 게이트 구조물의 측면으로 에피택시얼 에피택시얼층을 형성함으로서 리세스 채널이 형성된다.

<169> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

반도체 기판상에 형성된 액티브 패턴;

상기 액티브 패턴상에 형성된 게이트 전극;

상기 게이트 전극의 양측에 상기 게이트 전극에 인접하여 형성되고, 상기 게이트 전극의 상부가 돌출되도록 상기 게이트 전극의 높이보다 낮은 높이를 갖고 형성된 에피택시얼층;

상기 게이트 전극의 돌출된 상부의 측면에, 그리고 상기 에피택시얼층상에 형성된 스페이서; 및

상기 게이트 전극의 양측에, 상기 에피택시얼층에 형성되어 있는 불순물 영역을 포함하는 반도체 장치.

**【청구항 2】**

제1항에 있어서, 상기 반도체 기판은 실리콘 기판, SOI기판, 스트레인드 실리콘 기판, GaAs 기판 또는 SiGe 기판을 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 3】**

제1항에 있어서, 상기 불순물 영역은 상기 게이트 전극에 인접하여 형성되어 있고, 상기 에피택시얼층의 상부에 형성되어 있는 LDD 영역 및 상기 LDD 영역에 인접하여 형성된 HDD 영역을 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 4】**

제3항에 있어서, 상기 불순물 영역은 상기 에피택시얼층의 상부에 형성되어 있는 것을 특징으로 하는 반도체 장치.

**【청구항 5】**

제3항에 있어서, 상기 HDD 영역은 상기 에피택시얼층에 접하는 상기 기판의 상부에 연장되어 형성되어 것을 특징으로 하는 반도체 장치.

**【청구항 6】**

제1항에 있어서, 상기 게이트 전극의 하부 및 상기 에피택시얼층과 접하는 측면부위상에 형성된 게이트 절연막을 더 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 7】**

제6항에 있어서, 상기 게이트 절연막은 열산화막, 실리콘 산질화막,  $Ta_2O_5$ 막,  $TiO_2$ 막,  $Al_2O_3$ 막,  $Y_2O_3$ 막,  $ZrO_2$ 막,  $HfO_2$ 막,  $BaTiO_3$ 막,  $SrTiO_3$ 막 또는 이들의 복합막인 것을 특징으로 하는 반도체 장치.

**【청구항 8】**

제1항에 있어서, 상기 게이트 전극, 상기 에피택시얼층 또는 상기 게이트 전극 및 상기 에피택시얼층상에 형성된 금속 실리사이드층을 더 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 9】**

제1항에 있어서, 상기 반도체 장치의 캐리어의 이동을 향상시키기 위하여 상기 게이트 전극의 하부에, 또는 상기 게이트 전극의 하부 및 상기 게이트 전극과 상기 에피택시얼층이 접하는 상기 게이트 전극의 측면부위상에 연속하여 형성된 스트레인드 에피택시얼층을 더 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 10】**

제1항에 있어서, 상기 스페이서는 실리콘 질화물 또는 실리콘 산화물로 구성되거나, 실리콘 산화물층 및 상기 실리콘 산화물층을 커버하는 실리콘 질화물층으로 이루어진 복합층으로 이루어진 것을 특징으로 하는 반도체 장치.

**【청구항 11】**

제1항에 있어서, 상기 액티브 패턴은 상부에 상기 게이트 전극을 부분적으로 수용하는 트렌치를 갖고 있는 것을 특징으로 하는 반도체 장치.

**【청구항 12】**

반도체 기판상에 형성된 액티브 패턴;

상기 액티브 패턴상에 형성된 게이트 전극;

상기 게이트 전극의 양측에 상기 게이트 전극에 인접하여 형성되고, 상기 게이트 전극의 상부가 돌출되도록 상기 게이트 전극의 높이보다 낮은 높이를 갖고 형성된 에피택시얼층;

상기 게이트 전극의 하부 및 상기 에피택시얼층과 접하는 측면부위상에 형성된 게이트 절연막;

상기 게이트 전극의 돌출된 상부의 측면에, 그리고 상기 에피택시얼층상에 형성된 스페이서; 및

상기 게이트 전극의 양측에, 상기 게이트 전극에 인접하여 형성되어 있고, 상기 에피택시얼층의 상부에 형성되어 있는 LDD 영역 및 상기 LDD 영역에 인접하여 상기 에피택시얼층으로부터 상기 기판의 상부에 까지 연장되어 있는 HDD 영역을 포함하는 것을 특징으로 하는 반도체 장치.

## 【청구항 13】

제12항에 있어서, 상기 게이트 절연막은 열산화막, 실리콘 산질화막,  $Ta_2O_5$ 막,  $TiO_2$ 막,  $Al_2O_3$ 막,  $Y_2O_3$ 막,  $ZrO_2$ 막,  $HfO_2$ 막,  $BaTiO_3$ 막,  $SrTiO_3$ 막 또는 이들의 복합막인 것을 특징으로 하는 반도체 장치.

## 【청구항 14】

제12항에 있어서, 상기 액티브 패턴은 상부에 상기 게이트 전극을 부분적으로 수용하는 트렌치를 갖고 있는 것을 특징으로 하는 반도체 장치.

## 【청구항 15】

제12항에 있어서, 상기 게이트 전극, 상기 에피택시얼층 또는 상기 게이트 전극 및 상기 에피택시얼층상에 형성된 금속 실리사이드층을 더 포함하는 것을 특징으로 하는 반도체 장치.

## 【청구항 16】

반도체 기판상에 액티브 패턴을 제공하는 단계;

상기 액티브 패턴상에, 상기 액티브 패턴의 게이트 형성 영역을 노출하는 게이트 개구부를 갖는 에피택시얼층을 형성하는 단계;

상기 게이트 개구부를 매립하는 게이트 전극을 형성하는 단계; 및

상기 게이트 전극의 양측에, 상기 에피택시얼층에 불순물 영역을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

## 【청구항 17】

제16항에 있어서, 상기 액티브 패턴을 실리콘 기판, SOI기판, 스트래인드 실리콘 기판, GaAs 기판 또는 SiGe 기판상에 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 18】**

제16항에 있어서, 상기 에피텍시얼 층은

상기 액티브 패턴상에 더미 게이트 패턴을 형성하는 단계; 및  
상기 더미 게이트 패턴을 에피텍시얼 마스크로 사용하여 상기 액티브 패턴층상에 실리콘 에피  
텍시얼 성장방법으로 실리콘을 성장시켜서 형성하는 것을 특징으로 하는 반도체 장치의 제조  
방법.

**【청구항 19】**

제16항에 있어서, 상기 게이트 전극은 상기 게이트 개구부를 매립하면서 상기 반도체층  
의 상부로 돌출하는 돌출부를 갖도록 형성하는 것을 특징으로 하는 것을 특징으로 하는 반도체  
장치의 제조 방법.

**【청구항 20】**

제19항에 있어서, 상기 돌출부의 측벽에는 스페이서를 형성하는 단계를 더 포함하는 것  
을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 21】**

제20항에 있어서, 상기 불순물 영역은

상기 게이트 전극을 제1 이온 주입 마스크로 사용하여 에피텍시얼층에 1차로 비교적 저  
농도로 이온주입하여 1차로 저농도의 불순물 도핑(LDD) 영역을 형성하는 단계; 및  
상기 게이트 전극 및 상기 스페이서를 제2 이온 주입 마스크로 사용하여 상기 에피텍시  
얼층부에 비교적 고농도로 이온주입하여 2차로 고농도의 불순물 도핑 영역(HDD)을 형성하는 단  
계에 의해 형성하는 것을 특징으로 하는 반도체 장치의 제

**【청구항 22】**

제20항에 있어서,

상기 불순물 영역은

상기 더미게이트 패턴을 제1 이온 주입 마스크로 사용하여 에피택시얼층에 1차로 비교적 저농도로 이온주입하여 1차로 저농도의 불순물 도핑(LDD) 영역을 형성하는 단계; 및 상기 게이트 전극 및 상기 스페이서를 제2 이온 주입 마스크로 사용하여 상기 에피택시 얼층부에 비교적 고농도로 이온주입하여 2차로 고농도의 불순물 도핑 영역(HDD)을 형성하는 단계에 의해 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 23】**

제21항 또는 제22항에 있어서, 상기 LDD 영역의 깊이는 상기 에피택시얼층의 두께보다 얕고, 상기 HDD영역은 상기 에피택시얼층의 깊이보다 깊게 이온주입하여 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 24】**

제16항에 있어서, 상기 게이트 개구부의 내면상에 게이트 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 25】**

제24항에 있어서, 상기 게이트 절연막은 열산화법, CVD법 또는 ALD법에 의해 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 26】**

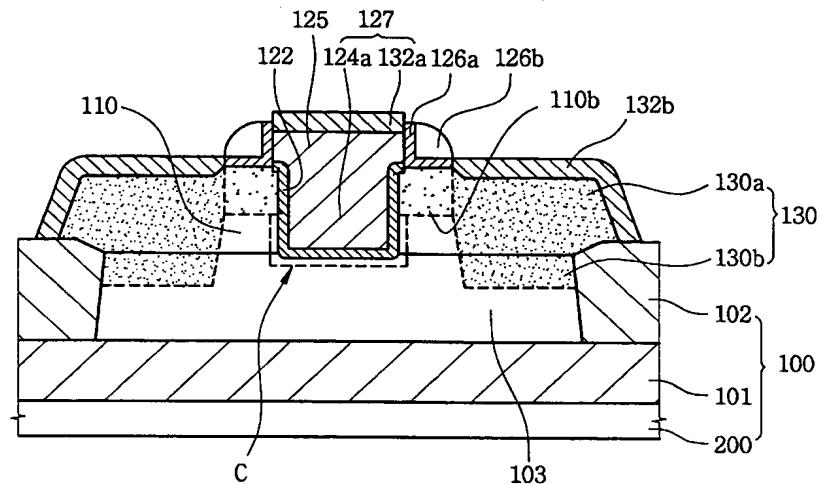
제16항에 있어서, 상기 반도체 장치의 캐리어의 이동을 향상시키기 위하여 상기 게이트 개구부의 내측면 및 상기 게이트 개구부에 의해 노출된 채널층의 표면부위에 연속하여 스트레인드 에피택시얼층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 27】**

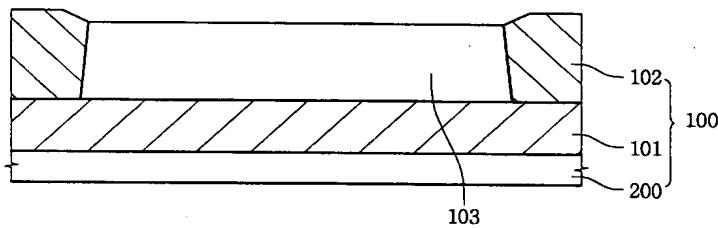
제16항에 있어서, 상기 액티브 패턴은 상기 게이트 개구부로부터 연장되어 형성된 트렌치를 갖도록 형성하고, 상기 게이트전극은 상기 트렌치와 상기 게이트 개구부를 매립하도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 【도면】

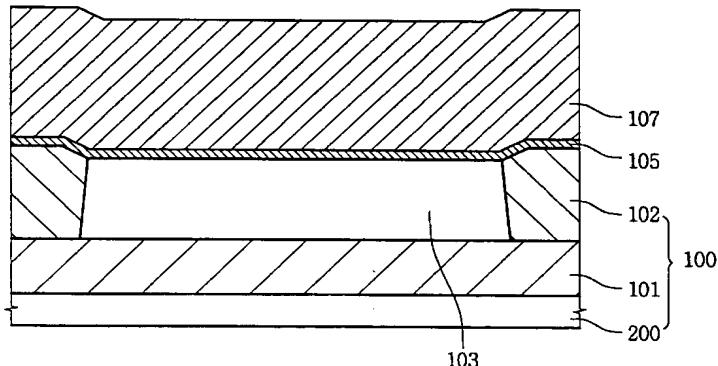
【도 1】



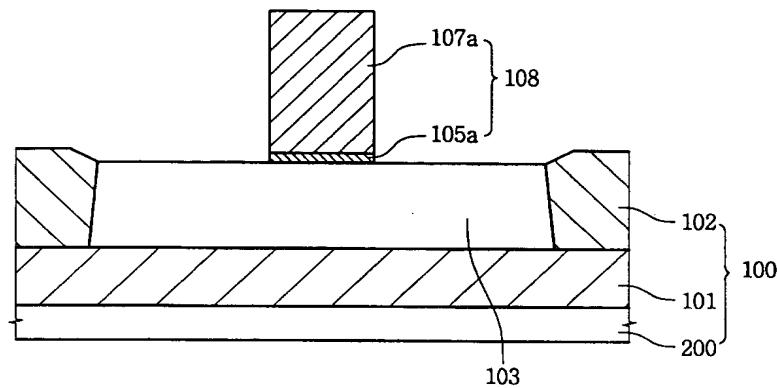
【도 2a】



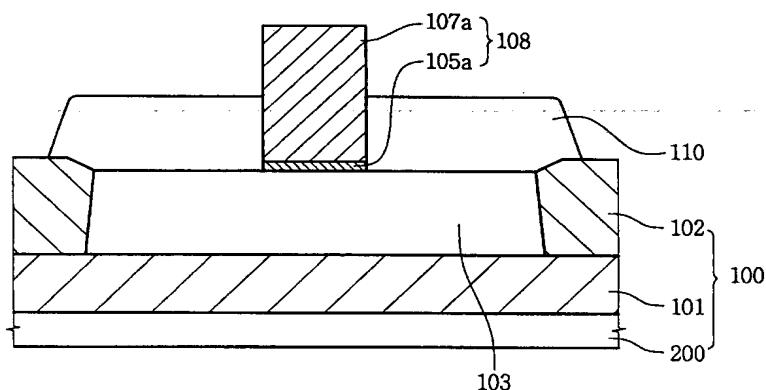
【도 2b】



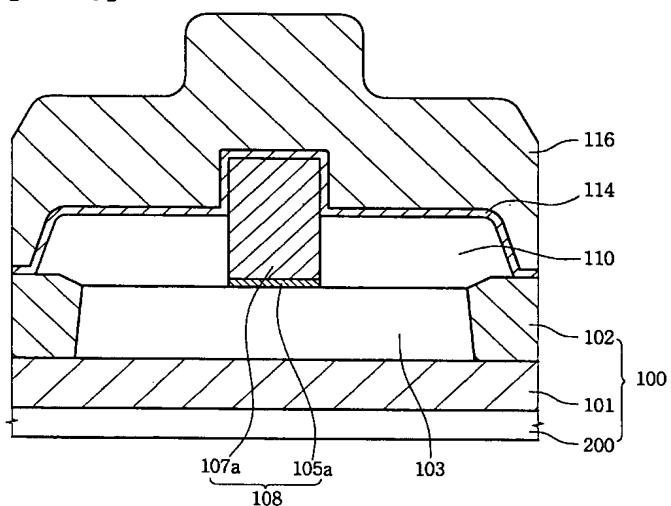
【도 2c】



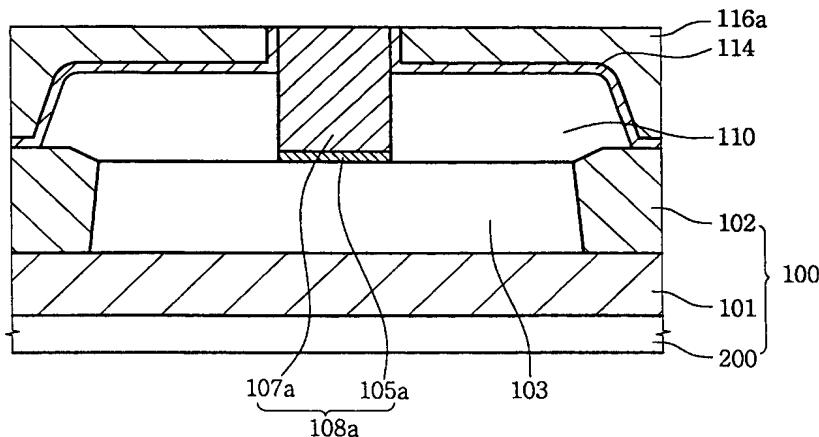
【도 2d】



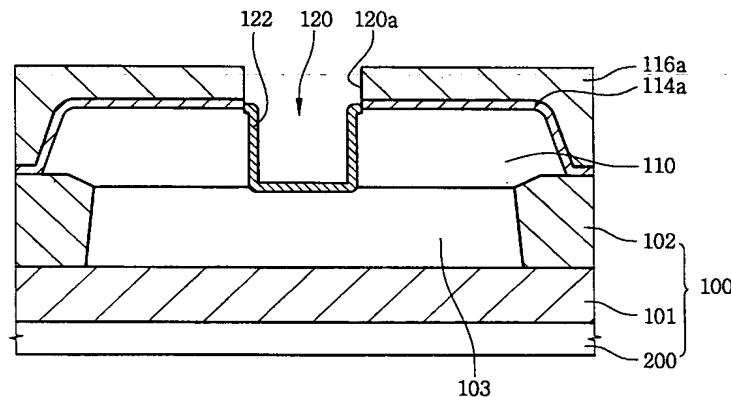
【도 2e】



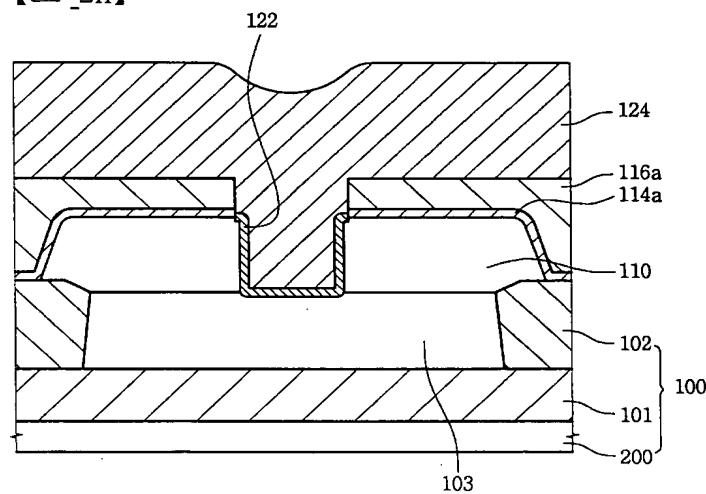
【도 2f】



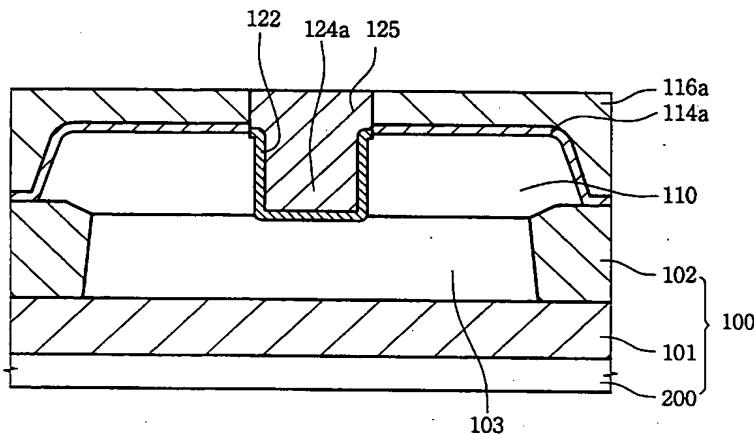
【도 2g】



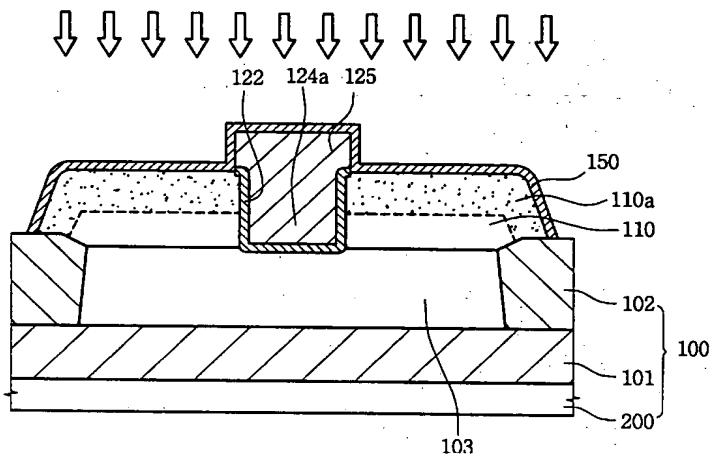
【도 2h】



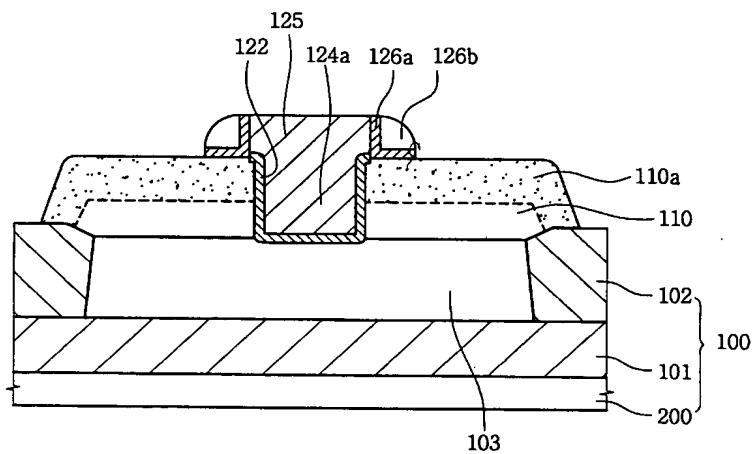
【도 2i】



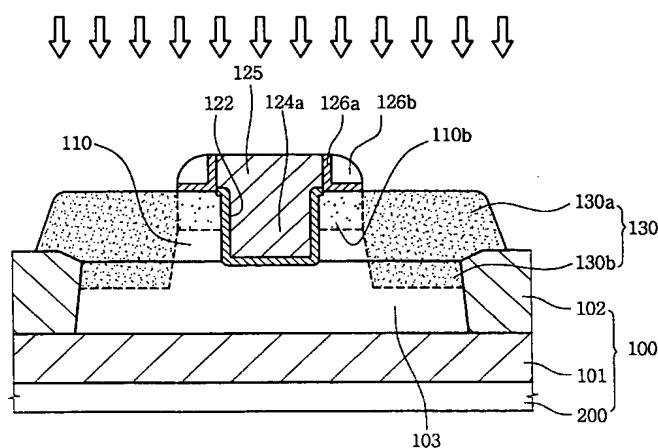
【도 2j】



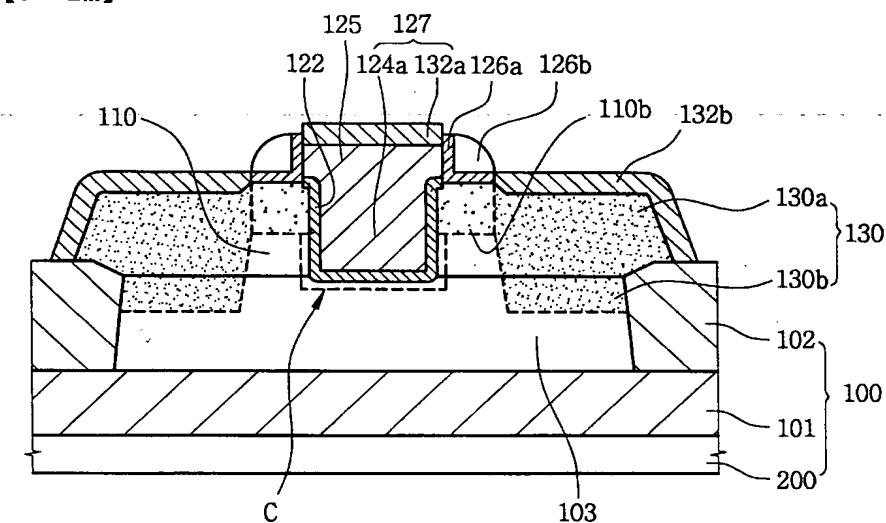
【도 2k】



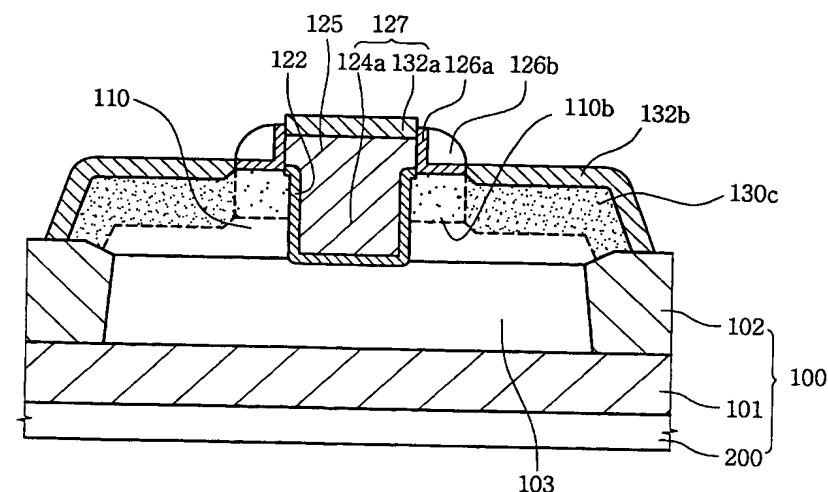
## 【도 21】



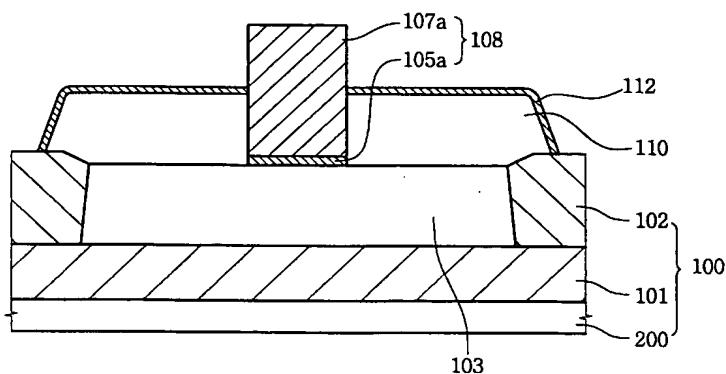
## 【도 2m】



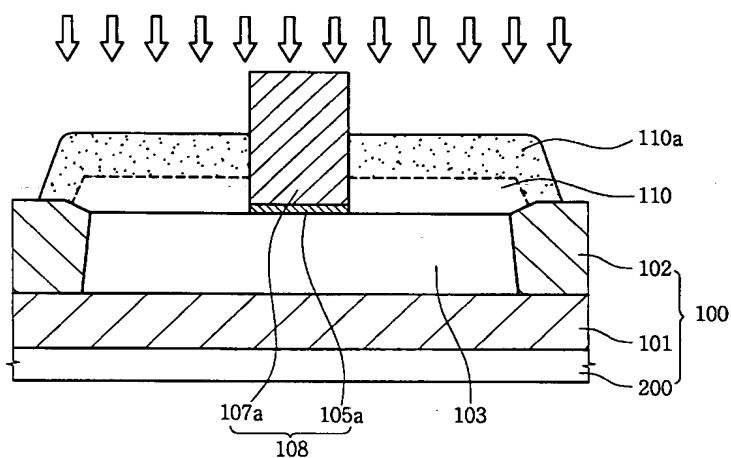
## 【도 3】



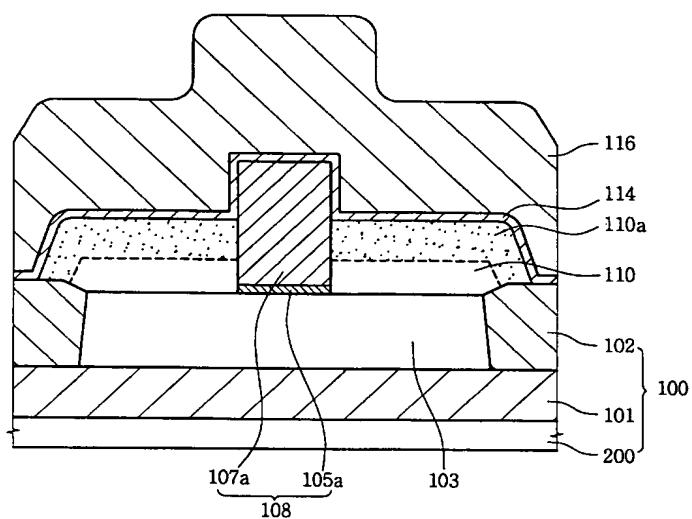
【도 4a】



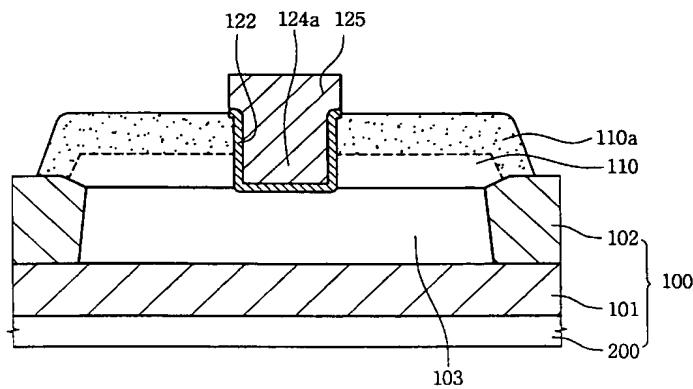
【도 4b】



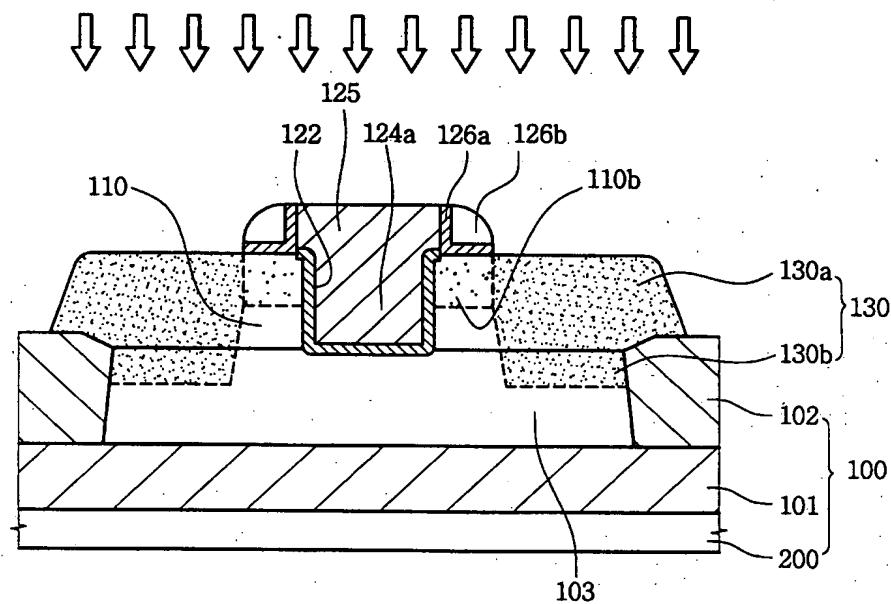
【도 4c】



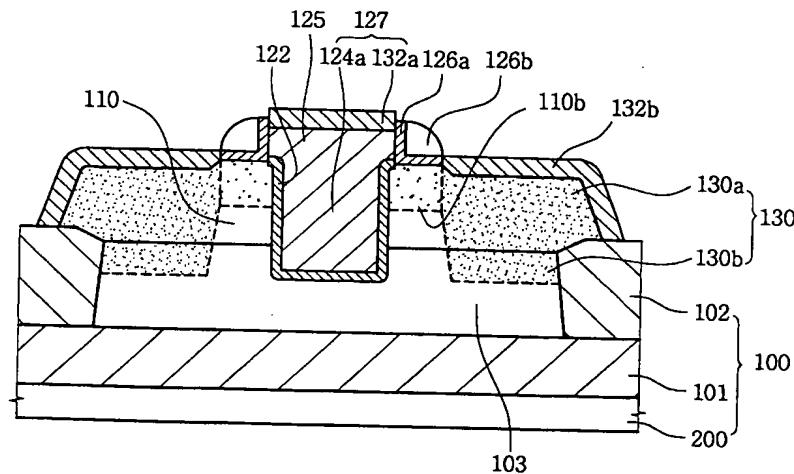
【도 4d】



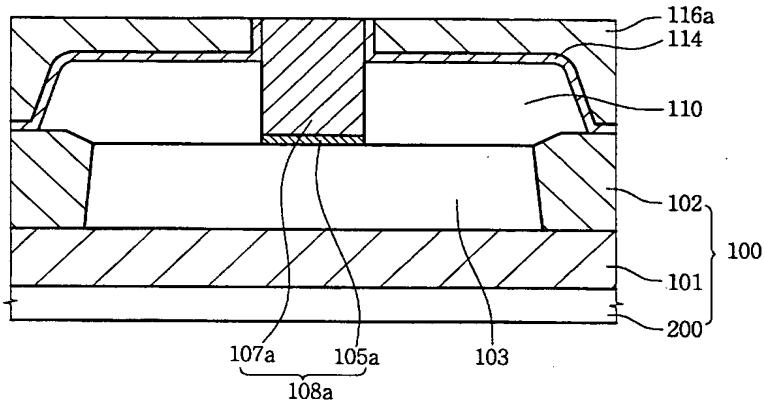
【도 4e】



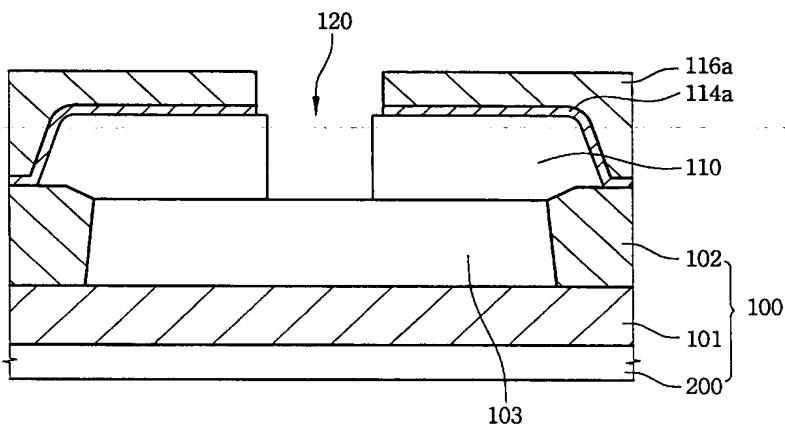
【도 5】



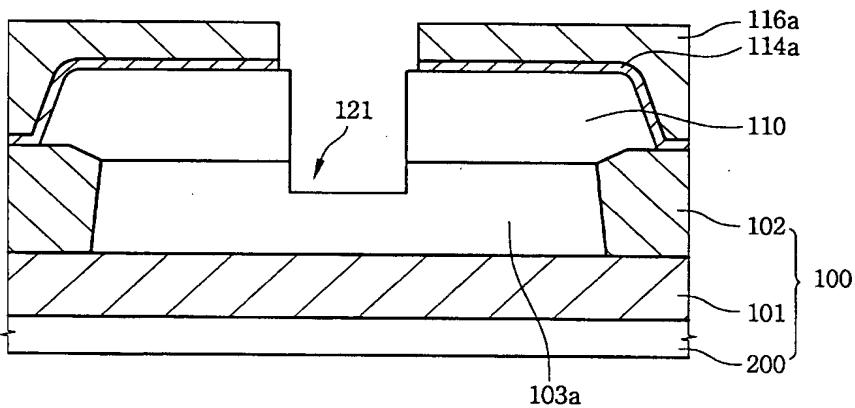
【도 6a】



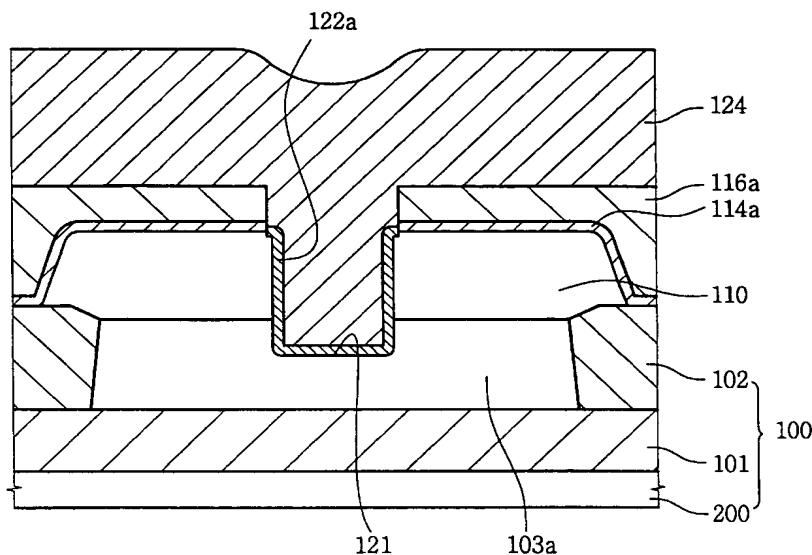
【도 6b】



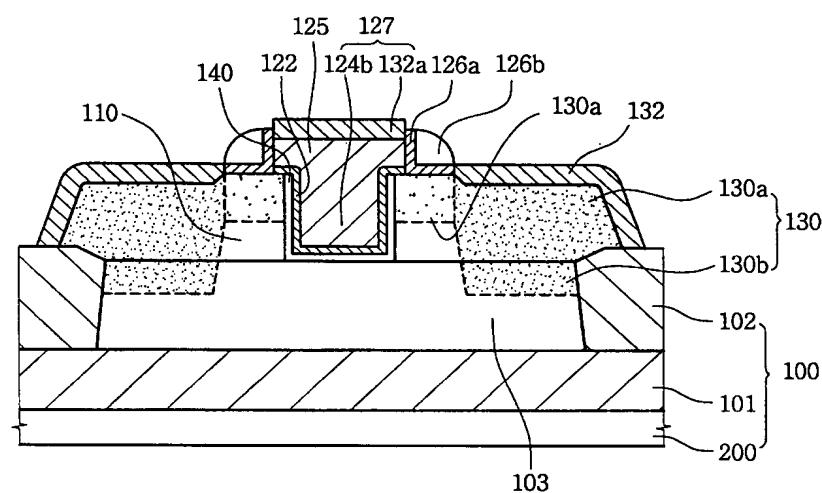
【도 6c】



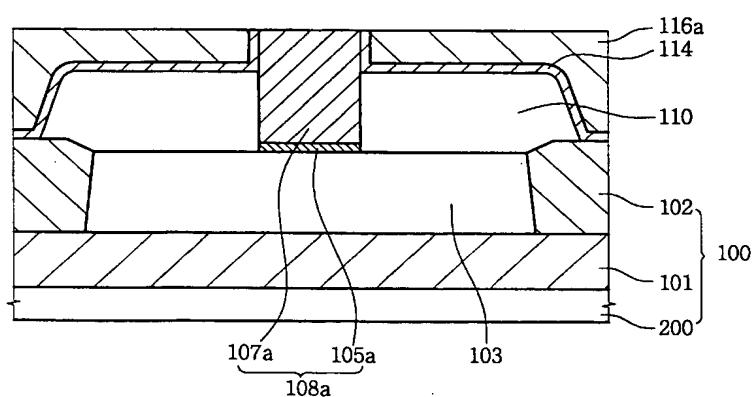
【도 6d】



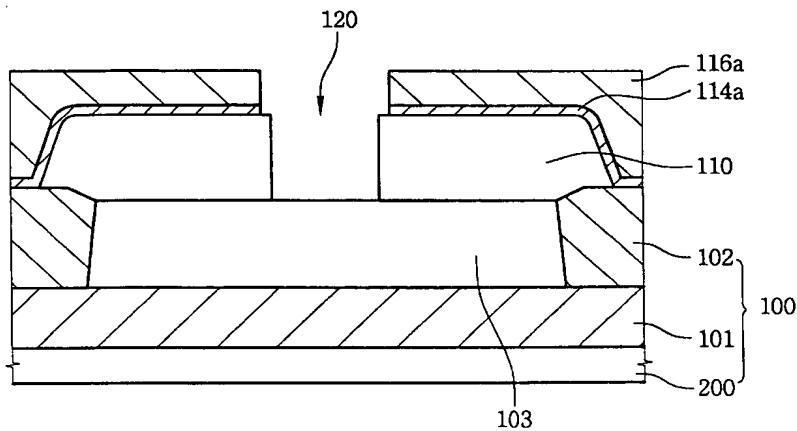
【도 7】



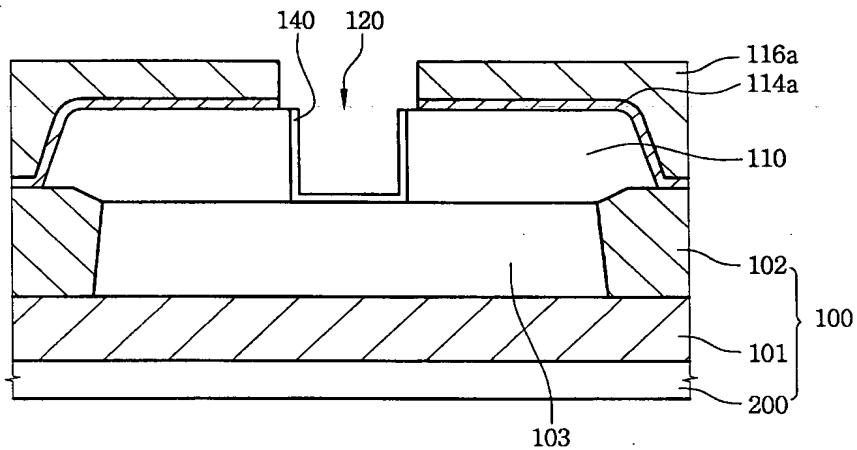
【도 8a】



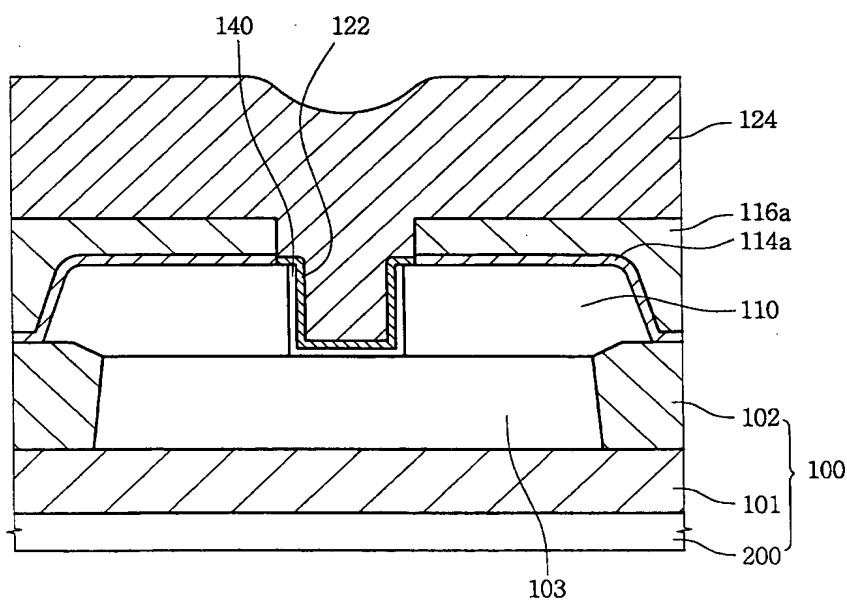
【도 8b】



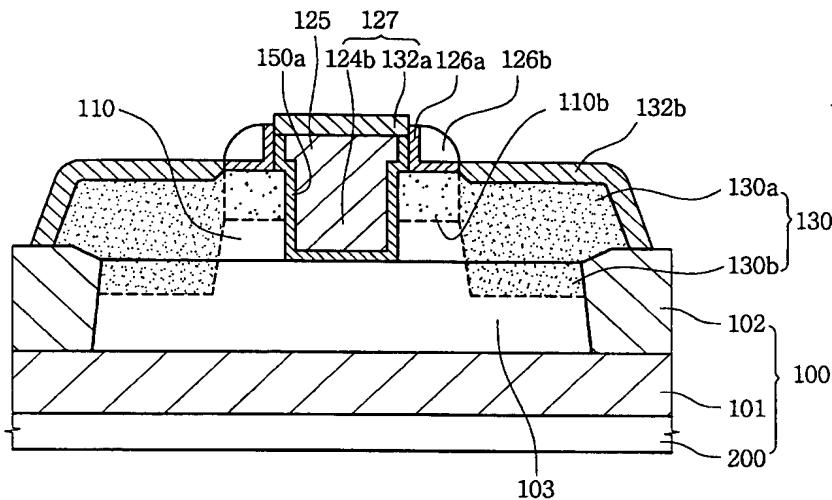
【도 8c】



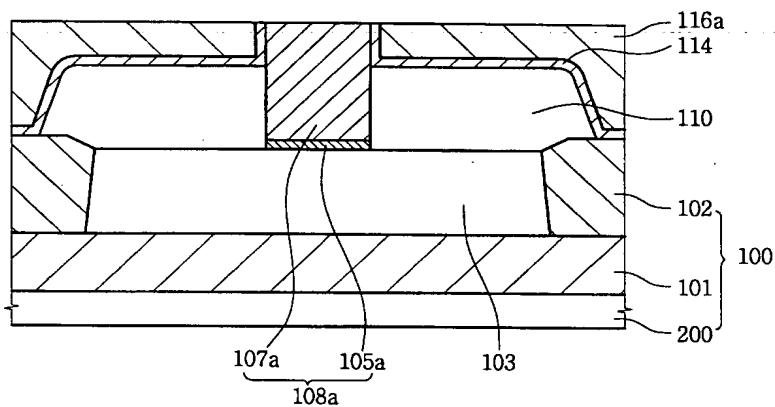
【도 8d】



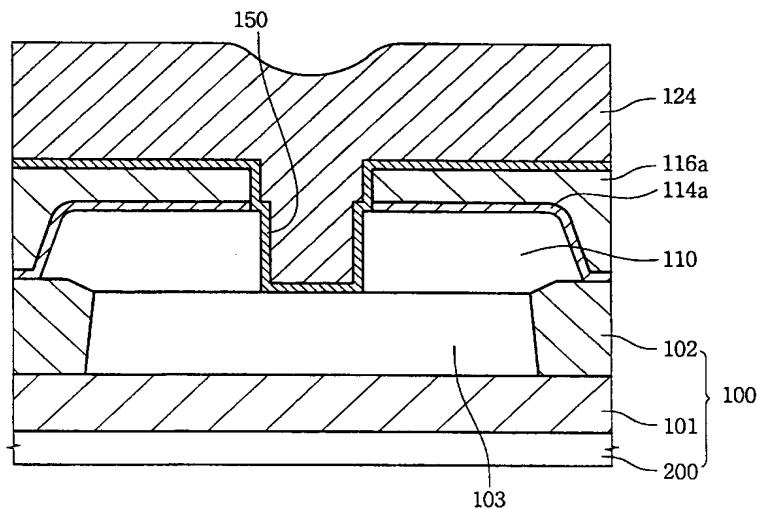
## 【도 9】



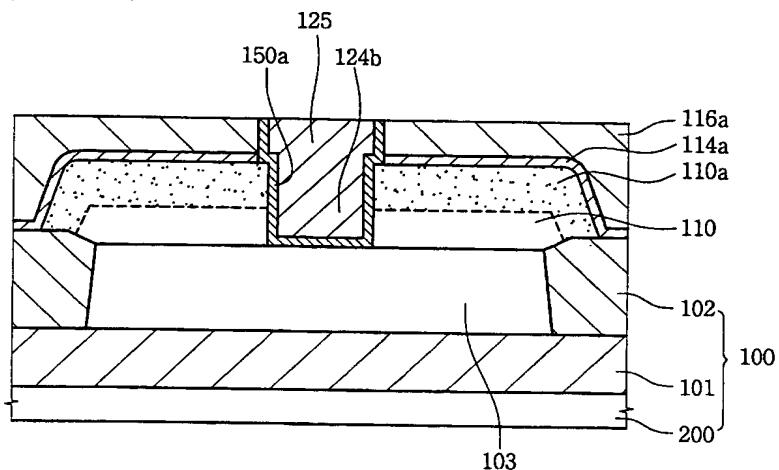
## 【도 10a】



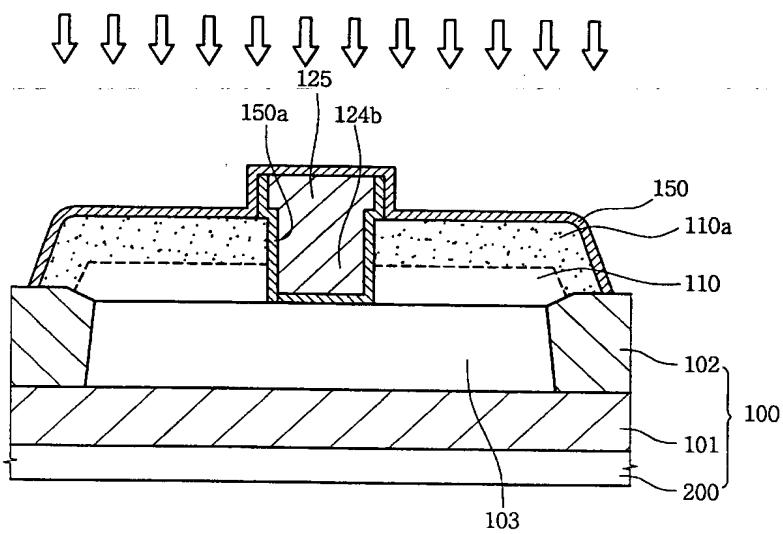
## 【도 10b】



【도 10c】



【도 10d】



## 【도 11】

